

Ejemplo de diseño de un amplificador multietapa

Daniel Crepaldo – Eduardo Bailón – Federico Pacher

Se pretende amplificar la salida de un micrófono para excitar un parlante de acuerdo a los siguientes datos:

Micrófono

Tensión de pico máxima: $e_{smax} = 100 \text{ mV}_p$.

Impedancia de salida: $Z_o = 600 \Omega$.

Parlante

Impedancia $Z = 8 \Omega$.

$P_{m\acute{a}x} = 1,5 \text{ W}$ para el inicio de la distorsión.

1) Determinación de las especificaciones del amplificador

Impedancia de entrada.

Al conectar el micrófono al amplificador se forma un divisor resistivo entre la impedancia de salida del micrófono y la impedancia de entrada del amplificador. Esto hace que no toda la tensión generada en el micrófono se aplique a la entrada del amplificador. Para reducir este efecto es conveniente que $z_o \ll z_i$

En nuestro caso $600 \Omega \ll z_i$. Asumiremos como mucho mayor a una impedancia que sea al menos diez veces mayor, por lo que $z_i \geq 6 \text{ K}\Omega$

Impedancia de salida.

En la salida ocurre algo similar que a la entrada. Para que la mayor parte de la tensión generada por el amplificador aparezca en bornes del parlante, la impedancia de salida del amplificador debe ser mucho menor que la impedancia del parlante. Por lo tanto $z_o \leq 0,8 \Omega$

Ganancia

La potencia de la salida puede expresarse como $P = V_{ef}^2 / R$. Teniendo en cuenta que $V_{ef} = V_p / \sqrt{2}$, obtenemos

la ganancia como la relación de las tensiones de pico a la entrada y la salida: $A_V = \frac{v_o}{v_i} = \frac{\sqrt{P_{max} \cdot Z} \cdot \sqrt{2}}{e_{smax}} \approx 49$

La ganancia real por lo general es un poco menor que la planificada, debido a la dispersión de parámetros y las tolerancias de los componentes. Dado que queremos asegurarnos de poder llegar a la potencia máxima de salida, propondremos para nuestro diseño un valor de ganancia un poco mayor que el calculado a partir de las especificaciones.

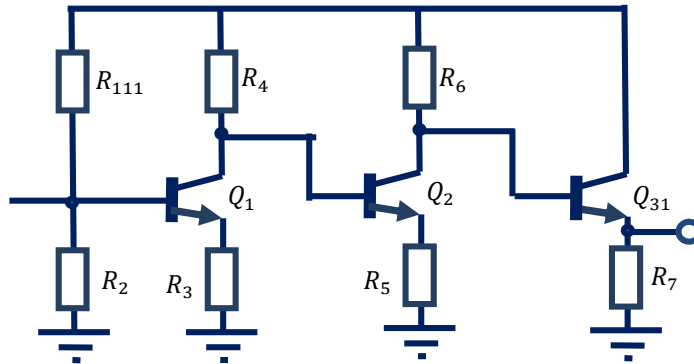
2) Planteo de posibles topologías:

En cuanto a la impedancia de entrada, un valor de $6 \text{ K}\Omega$ no es demasiado grande y se puede conseguir perfectamente con BJT, por lo que no será necesario utilizar etapas con FET

El valor de ganancia se puede conseguir con dos etapas emisor común en cascada o bien con un diferencial.

La impedancia de salida debe ser baja, por lo que utilizaremos una etapa colector común.

Tenemos entonces dos alternativas para este diseño: EC-EC-CC o Dif-CC

Diseño alternativa 1: Emisor común – Emisor común – Colector común

Vamos a proponer una ganancia de 55 y la vamos a repartir de la siguiente manera: 1ª etapa: ganancia 16, 2ª etapa: ganancia 3,5. El producto de estas ganancias da 56.

Calculo de la primera etapa:

Adoptamos una corriente de colector $I_C=2\text{mA}$. También debemos adoptar V_{R3} . El valor debe estar en el orden de 1V para enmascarar las variaciones de la tensión base-emisor debidas a la dispersión y las variación de temperatura (aprox. 100 mV), pero sin perder de vista que si elegimos un valor muy grande necesitaremos una tensión de alimentación grande para obtener la ganancia deseada. Adoptamos $V_{R3}=0,8\text{V}$.

Sabiendo que $|A_V| = \frac{R_C}{R_E} = \frac{I_C R_C}{I_E R_E} \approx \frac{I_C R_C}{I_E R_E} = \frac{V_{R_C}}{V_{R_E}}$ podemos obtener la tensión en bornes de R_4 como

$$V_{R4} = A_V V_{R3} = 16 \cdot 0,8\text{V} = 12,8\text{V}$$

Para una señal de entrada máxima de 0,1V, la tensión en el colector de Q_1 variará 1,6V. Esta variación debe producirse sin que el transistor llegue al corte o a la saturación. Como la tensión en R_4 es mayor que 1,6V, el dispositivo se encuentra lejos del corte. Para que no entre en saturación, V_{CE} no debe ser menor en ningún momento a 0,6V, por lo que $V_{CE\text{min}} = 2,2\text{V}$. Adoptamos $V_{CE} = 2,5\text{V}$

La tensión de alimentación mínima resulta $V_{\text{alim}} = 0,8\text{V} + 12,8\text{V} + 2,5\text{V} = 16,1\text{V} \rightarrow$ adoptamos $V_{\text{alim}} = 18\text{V}$

Con las tensiones así obtenidas podemos calcular los valores de las resistencias:

$R_3 = 0,8\text{V}/2\text{mA} = 400 \Omega$. Adoptamos $R_3 = 470 \Omega$. Suponiendo que mantenemos la corriente, la tensión en bornes de R_3 valdrá $V_{R3}=0,94\text{V}$

$R_4 = 470 \Omega \cdot 16 = 7520 \Omega$. Adoptamos $R_4 = 8\text{k}\Omega$. Nuevamente, suponiendo que $I_{C1} = 2\text{mA}$, $V_{R4}=16,4\text{V}$. Despejando el valor de V_{CE} obtenemos -0,66V, lo que indica que el transistor está saturado. En estas condiciones la etapa no amplificará.

Una posible solución consiste en mantener la corriente $I_{C1} = 2\text{mA}$ y elegir $R_3 = 390 \Omega$. De esta manera:

$$V_{R3} = 390 \Omega \cdot 2\text{mA} = 0,78\text{V}$$

$R_C=390 \Omega \cdot 16=6240 \Omega$. Adoptamos $6\text{k}\Omega$. Con una corriente de 2 mA, $V_{R4}=13,6\text{V}$ y $V_{CE}= 3,62\text{V}$. Se logra el funcionamiento adecuado aumentando un poco la incertidumbre del punto de trabajo. Otra solución posible, que dejamos como inquietud, es reducir el valor de la corriente I_{C1} y mantener la tensión de R_E en 0,8V

Cálculo de la 2ª Etapa:

La tensión del emisor de Q_2 está fijada desde la primera etapa y vale $V_{R3} + V_{CE1} - V_{BE1} = 0,78\text{V} + 3,62\text{V} - 0,6\text{V} = 3,8\text{V}$. Asumiendo $I_C=2\text{mA}$ resulta $R_5 = 3,8\text{V}/2\text{mA} = 1900 \Omega$. Adoptamos $R_5 = 1\text{k}\Omega$ lo que lleva el valor de la corriente a $I_C=2,11\text{mA}$

Obtenemos el valor de R_6 a partir de la ganancia, siendo $R_6 = 1\text{k}\Omega \cdot 3,5=3,5\text{k}\Omega$. Con este valor adoptamos $R_6 = 6\text{k}\Omega$. La tensión en bornes de esta resistencia es $V_{R6} = 14,34\text{V}$. Despejando V_{CE} obtenemos un valor de -0,14V. Este transistor estará saturado.

Teniendo en cuenta que para poder acomodar la tensión de salida sería necesaria una V_{CE} de más de 5V, parece bastante evidente que la tensión de alimentación no resultará suficiente. Posible solución: Adoptar $V_{lim} = 24V$

Recálculo con $V_{lim} = 24V$

Adoptando para la segunda etapa una corriente $I_{C2} = 2mA$ y manteniendo las resistencias de la etapa tal como fueron calculadas, obtenemos $V_{CE} = 24V - 13,6V - 3,6V = 6,5V$, lo cual es suficiente para la excursión de salida necesaria.

La tensión de la base de Q_2 está 0,6V por encima de V_{R5} , y es igual a la tensión del colector de Q_1 , por lo que la tensión en R_4 resulta $V_{R4} = V_{alim} - V_{R5} - 0,6V = 19,8V$. Manteniendo la corriente $I_{C1} = 2mA$ el valor de la resistencia R_4 será de aproximadamente 10K y la tensión colector-emisor de la primera etapa resulta $V_{CE1} = 3,4V$. La ganancia total será el producto de las ganancias de cada etapa, siempre y cuando la impedancia de salida de la primera etapa sea mucho menor que la impedancia de entrada de la segunda. Como $z_{o1} = R_4 = 10K$

y $z_{i2} \approx \beta_2 R_5 = 180K$ la condición planteada se cumple y $A_{VT} = \frac{R_4 R_6}{R_3 R_5} = 96$

Este valor de la ganancia es bastante mayor al pretendido. Se puede intentar alguna variante en los valores de los componentes para acercarnos al valor deseado, lo que queda como ejercicio para el lector.

Para calcular el divisor resistivo de la entrada consideramos un valor de $\beta_1 = 100$. La corriente de base resultará $I_B = \frac{I_C}{\beta_1} = \frac{2m}{100} = 20\mu A$. La corriente del divisor resistivo de la entrada debe ser mucho mayor. Asumiendo un

valor de corriente de 300 μA podemos calcular las resistencias del divisor:

$$R_2 = 1,4V/300\mu A = 4,66K\Omega \quad R_1 = 22,6V/300\mu A = 75,3K\Omega$$

Con estos valores no se alcanzará la impedancia de entrada deseada. Una solución sería colocar como Q_1 un transistor con $\beta_1 = 200$. En dicho caso se obtiene $R_1 = 150K\Omega$, $R_2 = 10K\Omega$.

Cálculo del colector común.

El criterio para diseñar esta etapa es obtener una impedancia de salida menor a 0,8 Ω .

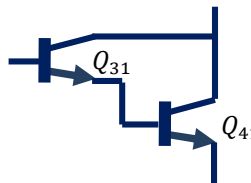
$$z_o \approx \frac{1}{g_m} = \frac{V_T}{I_C} \Rightarrow I_C = \frac{V_T}{z_o} = \frac{25mV}{0,8\Omega} = 31,25mA$$

En principio, con cualquier corriente de colector menor a 31,25mA se cumple la condición buscada. Sin embargo existen otras restricciones que debemos tener en cuenta.

La carga debe conectarse a través de un capacitor que elimine la componente de continua. De esta manera, la tensión sobre la carga tendrá valor medio cero. En los semiciclos positivos Q_3 entregará corriente a su resistencia de emisor y a la carga, mientras que en los semiciclos negativos Q_3 continuará entregando corriente a su resistencia de emisor mientras que ingresará al amplificador corriente proveniente de la carga. En el momento en que estas dos corrientes tengan el mismo valor, la corriente de emisor del transistor se hace cero y el dispositivo pasa a la zona de corte.

En nuestro caso particular la corriente máxima de pico que puede ingresar al amplificador es $I_L = \frac{4,9V}{8\Omega} = 612,5mA$. Adoptamos como corriente para la última etapa $I_{C3} = 800mA$

Para que la segunda etapa no se vea afectada, la corriente de base de Q_3 debería ser menor que 0,2 mA, lo que significa un $\beta \geq 4000$. Esto puede conseguirse con una configuración Darlington.



Para esta configuración utilizamos un BC548C -que tiene un β_{min} de 420- para Q_3 , y un BD139-16 para Q_4 . Para este último la hoja de datos arroja:

I_{cmax}	collector current (DC)	1.5 A
β_{min}	DC Current Gain (hFE)	100

Para la configuración Darlington en zona lineal

$$I_{CCc} = I_{C3} + I_{C4} = \beta_3 \cdot I_{B3} + \beta_4 \cdot I_{B4}$$

$$I_{B4} = I_{E3} = I_{C3} + I_{B3} = \beta_3 \cdot I_{B3} + I_{B3} = (\beta_3 + 1)I_{B3}$$

Reemplazando

$$I_{CCc} = \beta_3 \cdot I_{B3} + \beta_4 \cdot (\beta_3 + 1)I_{B3}$$

$$I_{CCc} = (\beta_3 + \beta_4\beta_3 + \beta_4)I_{B3} \approx \beta_4\beta_3 I_{B3}$$

Para $I_{CQ4} = 800mA \rightarrow I_{B3} = \frac{I_{CQ}}{\beta_{Q3min}\beta_{Q4min}} = \frac{800mA}{42000} = 19\mu A \ll 2mA = I_{CQ}$

Calculo Re:

$$V_{RE} = V_{CQ2} - V_{BE} - V_{BE4} = V_{CEQ2} + V_E - V_{BE3} - V_{BE4} = 10,1V - 1,2V = 8,9V$$

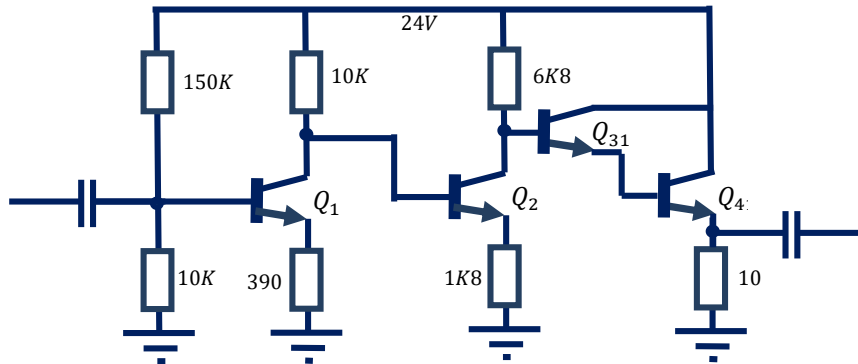
$$R_7 = \frac{V_{RE}}{I_{CQ4}} = \frac{8,9V}{800mA} = 11,125\Omega$$

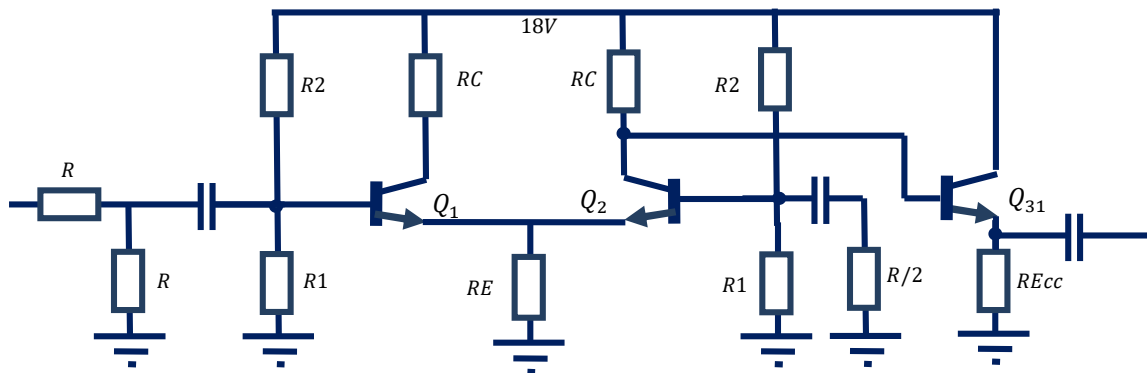
A. Adoptamos $R_7 = 10\Omega$ para que la corriente sea un poco mayor.

La impedancia de salida del amplificador es la impedancia de salida de la etapa colector común:

$$Z_o = Z_{o_{cc}} \approx \frac{1}{g_m} = \frac{V_T}{I_{c_{cc}}} = \frac{25mV}{890mA} = 0.028\Omega \ll 8\Omega$$

El circuito final será:



Diseño alternativa 2: Diferencial – Colector común

Utilizamos un amplificador diferencial implementado con transistores BJT y fuente simple.

Al ser una configuración de alta ganancia proponemos:

1. Etapa amplificador Diferencial (AD) con ganancia a modo diferencial simple $A_{vDS}=55$.
2. Etapa colector común para adaptar impedancia con ganancia de tensión $A_v=1$.

Etapa diferencial

El primer problema de la etapa diferencial implementada con BJT es que no amplifica tensiones diferenciales mayores a 50mV. Como la entrada debe ser $e_s=100mV$ debemos bajar la tensión. El circuito más sencillo es utilizar un divisor resistivo.

Implementando un divisor con dos resistencias iguales obtendremos una entrada de la mitad de amplitud que la original por lo que deberemos duplicar la ganancia. $A_{VDS} = 110$. Se debe tener en cuenta además mantener la simetría del circuito colocando en la otra entrada del diferencial una resistencia equivalente a la resistencia vista del divisor, en este caso $R/2$.

Planteando la ecuación y sabiendo que $g_m = \frac{I_{CQ}}{V_T}$:

$$A_{VDS} = \frac{g_m \cdot R_C}{2} = \frac{I_{CQ} \cdot R_C}{2V_T} \rightarrow I_{CQ} \cdot R_C = 2 \cdot A_{VDS} \cdot V_T = 5,5V = V_{RC}$$

Para adoptar una corriente de polarización adecuada de cada transistor tendremos en cuenta la impedancia de entrada requerida. La impedancia de entrada del diferencial a modo diferencial es $2r_\pi$. Este valor está relacionado con la corriente de colector a través del parámetro β , siendo la expresión $I_C = \frac{\beta V_T}{r_\pi}$. Asumiendo un valor mínimo de 100 para β , obtenemos $I_C = \frac{100 \cdot 25mV}{6000} \approx 0,41mA$. Adoptamos $I_C = 0,4mA$, y con este valor de corriente obtenemos $R_C = \frac{5,5V}{0,4mA} = 13,75K\Omega$ y adoptamos un valor comercial $R_C = 15K\Omega$

La señal amplificada debe excursionar $V_{parlante} = \pm 4,9V$. Es decir la tensión en el colector del diferencial V_{CQ} adoptada como punto de trabajo obtenida luego de polarizar aumentara 4,9V y disminuirá 4,9V alrededor de V_{CQ} . Como el amplificador no debe salir de su zona lineal se deberá garantizar una tensión $V_{CE} \geq 0,6V$ por lo tanto adoptaremos $V_{CE} \geq V_{CElimite} + V_{parlante} = 0,6V + 4,9V = 5,5V \therefore$ adopto $V_{CE} = 6V$. Notar que la tensión en el emisor del diferencial esta fija, por lo que toda variación de amplitud a la carga se da en V_{CE} .

Elección de tensión de la fuente $V_{CC} \geq V_{RC} + V_{CE} + V_E = 11,5V + V_E$

Adopto valor de $V_{CC} = 15V \rightarrow V_E = 3,5V \rightarrow R_E = \frac{3,5V}{I_o} = \frac{3,5V}{2 \cdot I_{CQ}} = 4375\Omega$ adopto valor comercial $R_E = 3900\Omega$

para no reducir la corriente y por lo tanto la ganancia. Al aumentar la corriente aumentará la tensión en R_C , y se reducirá la tensión V_{CE} , habrá que chequear si esta reducción nos afecta. Por otra parte, el aumento de la corriente de colector reduce la impedancia de entrada, lo que también se debe verificar.

Calculo de los divisores resistivos para la polarización de la base de los transistores.

$$\beta_{min} = 100 \rightarrow I_{Bmax} = \frac{I_{CQ}}{\beta_{min}} = 4\mu A.$$

Adopto una corriente por el divisor mucho mayor (mayor a 10 veces más grande) que I_{Bmax} :

$$I_{DIV} = 60\mu A \text{ con } V_{BB} = V_{BE} + V_E = 4,1V \rightarrow R_1 = \frac{4,1V}{60\mu A} = 68k3 \text{ adopto } R_1 = 68k\Omega.$$

$$R_2 = \frac{(15-4,1)V}{150\mu A} = 181k6 \text{ adopto } R_2 = 180k\Omega$$

$$Z_i = 2r_{\pi} // R_1 // R_2 = 5,547k\Omega$$

Estamos muy cerca del valor deseado. Se puede intentar reducir la corriente de colector o bien emplear transistores de mayor β . Se elige esta última solución porque evita el recálculo y no es difícil de conseguir.

Etapa de salida

Para adaptar la impedancia utilizamos una etapa a colector común implementada con una configuración Darlington para poder manejar la corriente de salida con la menor corriente de base posible para no solicitarle corriente al diferencial.

Para esta configuración utilizamos un BC548C -que tiene un β_{min} de 420- y un BD139-16. Para este último la hoja de datos arroja:

I_{cmax}	collector current (DC)	1.5	A
β_{min}	DC Current Gain (hFE)	100	

Para la configuración Darlington en zona lineal

$$I_{CCc} = I_{C3} + I_{C4} = \beta_3 \cdot I_{B3} + \beta_4 \cdot I_{B4}$$

$$I_{B4} = I_{E3} = I_{C3} + I_{B3} = \beta_3 \cdot I_{B3} + I_{B3} = (\beta_3 + 1)I_{B3}$$

Reemplazando

$$I_{CCc} = \beta_3 \cdot I_{B3} + \beta_4 \cdot (\beta_3 + 1)I_{B3}$$

$$I_{CCc} = (\beta_3 + \beta_4\beta_3 + \beta_4)I_{B3} \approx \beta_4\beta_3 I_{B3}$$

$$\text{Para } I_{CQ4} = 800mA \rightarrow I_{B3} = \frac{I_{CQ4}}{\beta_{Q3mi} \beta_{Q4mi}} = \frac{800mA}{42000} = 19\mu A \ll 400\mu A = I_{CQ2}$$

Calculo R_E :

$$V_{RE4} = V_{CQ2} - V_{BE3} - V_{BE4} = V_{CEQ2} + V_E - V_{BE3} - V_{BE} = 9,5V - 1,2V = 8,3V$$

$$R_{Ecc} = \frac{V_{RE4}}{I_{CQ4}} = \frac{8,3V}{800mA} = 10,3\Omega. \text{ Adoptamos } R_7 = 10\Omega \text{ para que la corriente sea un poco mayor.}$$

La impedancia de salida del amplificador es la impedancia de salida de la etapa colector común:

$$Z_o = Z_{O_{cc}} \approx \frac{1}{g_m} = \frac{V_T}{I_{Ccc}} = \frac{25mV}{800mA} = 0,03\Omega \ll 8\Omega$$

El circuito final será:

