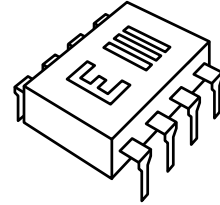




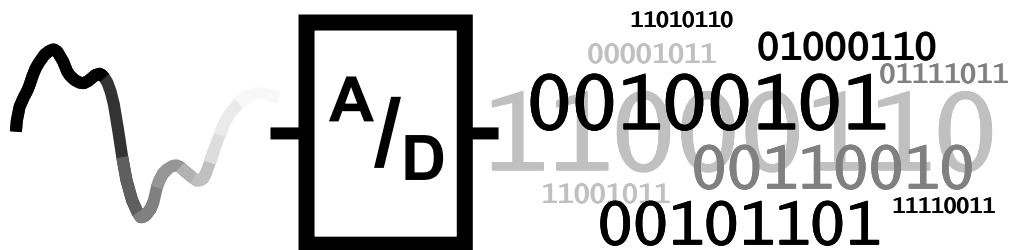
Universidad Nacional de Rosario
Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Escuela de Ingeniería Electrónica
Departamento de Electrónica



ELECTRÓNICA III

CONVERSORES D/A Y A/D

Federico Miyara



Segunda Edición - Año 2004

B09.01

Código interno de publicación: B09.01
Primera edición: 2000
Segunda edición corregida: 2004
Publicado en Internet
Rosario, Argentina
Año 2004
<http://www.fceia.unr.edu.ar/enica3/da-ad.pdf>

CONVERSORES D/A y A/D

1. Señales analógicas y digitales

1.1. Señales analógicas

Son variables eléctricas que evolucionan en el tiempo en forma análoga a alguna variable física. Estas variables pueden presentarse en la forma de una corriente, una tensión o una carga eléctrica. Varían en forma continua entre un límite inferior y un límite superior. Cuando estos límites coinciden con los límites que admite un determinado dispositivo, se dice que la señal está **normalizada**. La ventaja de trabajar con señales normalizadas es que se aprovecha mejor la relación señal/ruido del dispositivo.

1.2. Señales digitales

Son variables eléctricas con dos niveles bien diferenciados que se alternan en el tiempo transmitiendo información según un código previamente acordado. Cada nivel eléctrico representa uno de dos símbolos: 0 ó 1, V o F, etc. Los niveles específicos dependen del tipo de dispositivos utilizado. Por ejemplo si se emplean componentes de la familia lógica TTL (transistor-transistor-logic) los niveles son 0 V y 5 V, aunque cualquier valor por debajo de 0,8 V es correctamente interpretado como un 0 y cualquier valor por encima de 2 V es interpretado como un 1 (los niveles de salida están por debajo de 0,4 V y por encima de 2,4 V respectivamente). En el caso de la familia CMOS (complementary metal-oxide-semiconductor), los valores dependen de la alimentación. Para alimentación de +5 V, los valores ideales son también 0 V y 5 V, pero se reconoce un 0 hasta 2,25 V y un 1 a partir de 2,75 V.

Estos ejemplos muestran uno de los principales atractivos de las señales digitales: su gran inmunidad al ruido.

Las señales digitales descritas tienen la particularidad de tener sólo dos estados y por lo tanto permiten representar, transmitir o almacenar información binaria. Para transmitir más información se requiere mayor cantidad de estados, que pueden lograrse combinando varias señales en paralelo (simultáneas), cada una de las cuales transmite una información binaria. Si hay n señales binarias, el resultado es que pueden representarse 2^n estados. El conjunto de n señales constituye una palabra. Otra variante es enviar por una línea única, en forma secuencial, la información. Si se sabe cuándo comienza, y qué longitud tiene una palabra (conjunto ordenado de estados binarios que constituye un estado 2^n -ario), se puede conocer su estado.

El hecho de que una señal digital pueda tener 2^n estados, no nos dice nada respecto a qué significa o cómo se interpreta cada estado. Como veremos a continuación, esta interpretación depende, realmente, del código utilizado.

1.3. Códigos binarios

Habitualmente los códigos binarios representan números (que a su vez representan valores que va asumiendo una variable física o eléctrica), o bien señales de control, de mando o de estado (informando sobre el estado de una operación o proceso). Nos inte-

resa aquí el primer caso, es decir la representación de números. Aún así, hay diversas correspondencias posibles, que examinaremos a continuación.

1.3.1. Código binario natural

Se basa en el concepto de numeración posicional con ponderación. Si d_n, \dots, d_1 son valores 0 ó 1, entonces

$$d_n d_{n-1} \dots d_1 \leftrightarrow d_n 2^{n-1} + d_{n-1} 2^{n-2} + \dots + d_1$$

Por ejemplo, $10001101 \leftrightarrow 128 + 8 + 4 + 1 = 141$. Los valores a_k se denominan **bits** (del inglés *binary digit*). El bit a_n se denomina **bit más significativo**, y se abrevia **MSB** (siglas del inglés, *most significant bit*). El bit a_1 se denomina **bit menos significativo**, y se abrevia **LSB** (siglas del inglés, *least significant bit*).

1.3.2. Código binario complementario

Es igual al anterior pero cada bit está invertido. Se utiliza en ciertos casos en que se trabaja con valores lógicos inversos:

$$d_n d_{n-1} \dots d_1 \leftrightarrow (1 - d_n) 2^{n-1} + (1 - d_{n-1}) 2^{n-2} + \dots + (1 - d_1)$$

En este ejemplo, $01110010 \leftrightarrow 141$.

1.3.3. Código decimal binario (BCD)

Se usan grupos de 4 bits (nibbles) pero se utilizan hasta el 9 (1001) De esa manera pueden representarse números decimales en forma cómoda con números binarios. Por ejemplo:

$$0111 \ 0011 \ 0010 \leftrightarrow 732$$

Es un código muy utilizado en los casos en que se debe excitar directamente un display o indicador con dígitos decimales, por ejemplo en un multímetro digital.

1.3.4. Códigos bipolares

Se utilizan para representar señales alternas o que pueden tener tanto signo positivo como negativo.

1.3.4.1 Código con bit de signo

Utiliza el bit más significativo como bit de signo que afecta a los otros bits. Siempre tiene un dígito más que los necesarios para representar el valor absoluto del número. Por ejemplo, en un código de 4 bits:

$$\begin{aligned} 0011 &\leftrightarrow +7 \\ 1011 &\leftrightarrow -7 \end{aligned}$$

La desventaja es que no puede manejarse en forma puramente algebraica. Por ejemplo, la suma de dos números negativos debe hacerse con reglas diferentes para el bit más significativo que para el resto. Otra desventaja es que el 0 tiene dos representaciones según que se lo interprete como +0 y -0. La ventaja es la simetría de la representación de números de distinto signo e igual magnitud.

Una aplicación habitual son los voltímetros y otros instrumentos digitales, ya que permiten efectuar la decisión sobre la polaridad mediante un comparador, y alimentar directamente el control del segmento del display que representa el signo..

1.3.4.2 Código binario desplazado (offset binary)

Es similar al código binario pero desplazado de modo que el valor 00...0 representa el valor más negativo y 11...1 el más positivo, siendo el 10...0 correspondiente al 0. En general va desde -2^{n-1} a $2^{n-1} - 1$. Por ejemplo, en un código de 4 bits:

$$\begin{aligned} 1111 &\leftrightarrow 7 \\ 1000 &\leftrightarrow 0 \\ 0000 &\leftrightarrow -8 \end{aligned}$$

1.3.4.3 Código de complemento a 2

En este código los números positivos se representan igual que en el código binario natural y los negativos complementando los bits del número positivo correspondiente y sumando 1 (se ignora el eventual acarreo). Por ejemplo:

$$\begin{aligned} 6 &\leftrightarrow 0110 \\ -6 &\leftrightarrow 1001 + 1 = 1010 \end{aligned}$$

Este código es similar al desplazado, complementando el bit más significativo. Una ventaja inherente es su simplicidad dentro de un sistema de cómputo, ya que cada número representa un valor con signo y entonces pueden sumarse fácilmente. Por ejemplo:

$$6 + (-5) \leftrightarrow 0110 + 1011 = (1)0001$$

Ignorando el acarreo, el resultado es, correctamente, 1. La razón de esto está en que si se suma un número más su opuesto se obtiene siempre (1)0000 (para el caso de 4 bits). Por ejemplo:

$$6 + (-6) \leftrightarrow 1010 + (0101 + 1) = (1010 + 0101) + 1 = 1111 + 1 = (1)0000$$

1.3.5. Códigos complementarios

Cualquiera de los códigos anteriores es susceptible de ser complementado bit a bit (es decir, reemplazar cada bit por su complemento a 1), tal como se vio en 7.1.3.2 para el caso del código binario natural. Ello es útil cuando se trabaja con lógicas inversas, es decir, en las que el 0 está representado por un valor alto de tensión (5 V) y el 1 por un valor bajo (0 V).

2. Conversión digital / analógica (D/A)

Partimos de una señal digital $D = d_n d_{n-1} \dots d_1$ en paralelo que responde a la codificación binaria natural y una referencia X_{ref} (podría ser una tensión o una corriente) y pretendemos obtener una señal analógica x que varíe de a saltos iguales a $X_{ref}/2^n$ entre 0 y $(2^n - 1) X_{ref}/2^n = X_{ref} (1 - 2^{-n})$, como se muestra en la figura 1.

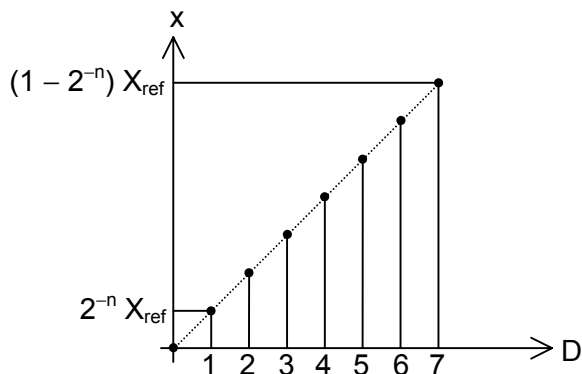


Figura 1. Relación entre la entrada digital D y la salida analógica x de un conversor digital-analógico. En este ejemplo $n = 3$.

La estructura genérica de este tipo de conversores es la que se ha indicado en la figura 2.

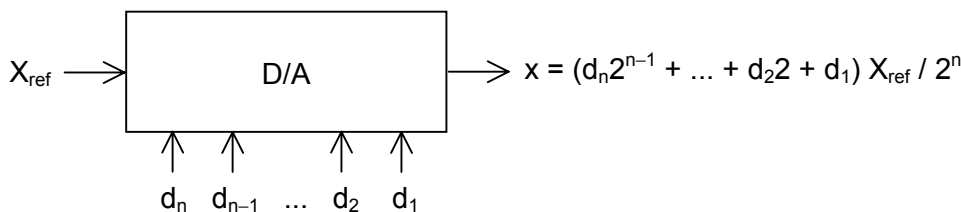


Figura 2. Estructura de un conversor digital-analógico. X_{ref} es la referencia, $d_n \dots d_1$ la entrada digital y x la respuesta analógica.

2.1. Método de conmutación de corrientes ponderadas

Una primera idea consiste en utilizar una serie de fuentes de corriente ponderadas que concurren a un nudo sumador de corrientes. Cada corriente se conmuta en función del valor del bit correspondiente. Esta idea se implementa con resistencias y llaves analógicas, como se ilustra en la figura 3. La corriente i_k por la k -ésima rama es

$$i_k = d_k \frac{V_{ref}}{2^{n-k+1} R} \quad k = 1, \dots, n$$

Entonces

$$v = - \left(d_n \frac{1}{2R} + d_{n-1} \frac{1}{2^2 R} + \dots + d_1 \frac{1}{2^n R} \right) V_{ref} R,$$

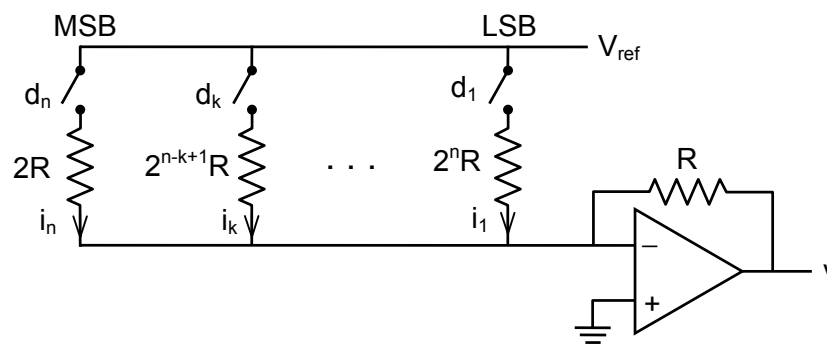


Figura 3. Circuito equivalente de un convertor digital-analógico de resistencias ponderadas.

es decir

$$v = -\frac{V_{ref}}{2^n} \sum_{k=1}^n d_k 2^{k-1} .$$

Si $d_k=1$ para $k = 1, \dots, n$ estamos ante el código máximo, es decir el correspondiente al **fondo de escala**:

$$v = -V_{ref} \left(1 - \frac{1}{2^n} \right) .$$

La desventaja principal es que se requiere un rango de valores de resistencia y una precisión muy grandes, difícilmente obtenibles en la práctica. Por ejemplo, para $n = 10$ el error en la resistencia $2R$ debe ser $< 1/2^{11} \cong 0,05 \%$ para asegurar que el error total sea menor que $\frac{1}{2}$ salto de 1 LSB. Si en estas condiciones fuera $2R = 100 \text{ k}\Omega$, entonces $2^n R = 51,2 \text{ M}\Omega$. Un valor menor para $2R$ redundaría en errores inadmisibles debidos a la resistencia R_{on} de las llaves analógicas, que ronda los $100 \text{ }\Omega$.

2.2. Redes escalera

Las redes escalera permiten reducir el rango de valores de las resistencias. En la figura 4 se muestra un ejemplo, aunque no profundizaremos sobre este tipo de circuitos ya que en la actualidad están superados por las redes R-2R.

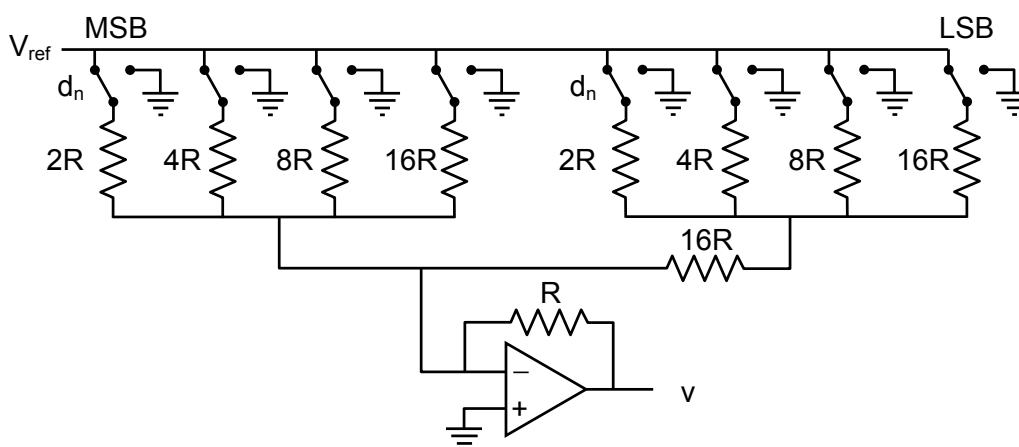


Figura 4. Convertor digital-analógico de red escalera.

2.3. Método de la red escalera R-2R

Una red resistiva como la indicada en la figura 5 tiene la particularidad de que cualquiera sea el número de secciones la resistencia vista (excepto al final) es R. Este circuito puede usarse como se muestra en la figura 6 para obtener un convertor digital analógico muy eficiente.

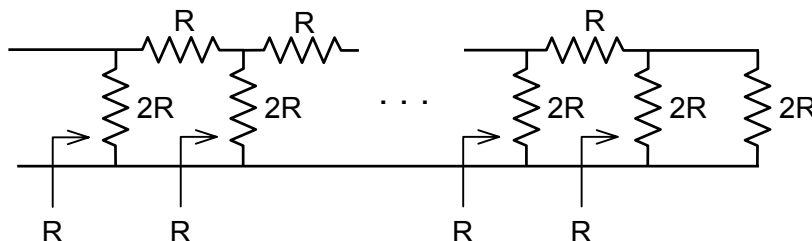


Figura 5. Una red R-2R. La resistencia vista es siempre R.

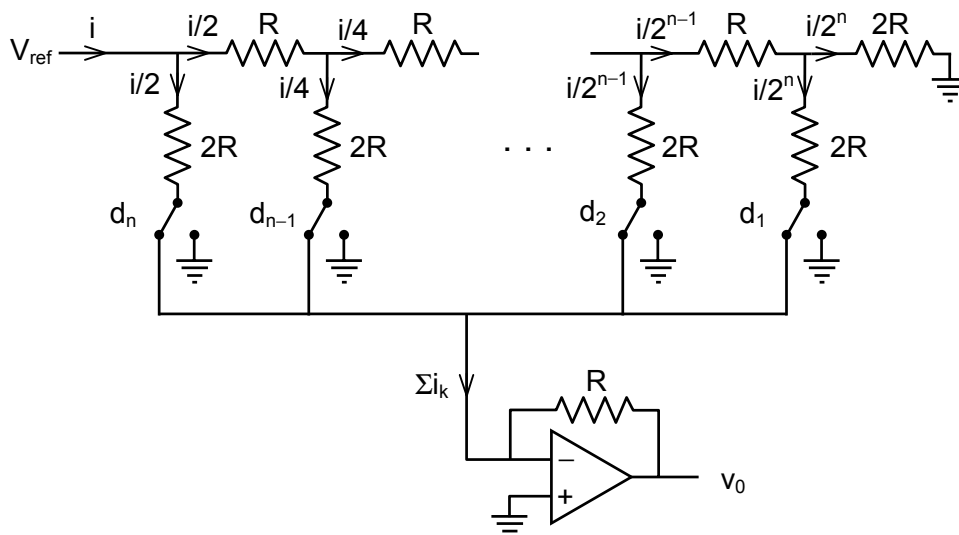


Figura 6. Convertor analógico-digital R-2R en modo de corriente. La masa virtual en la entrada inversora del amplificador operacional garantiza que la propiedad de la red R-2R se cumpla.

Que el régimen sea igual al de la red escalera original lo garantiza el hecho de que ya sea que la llave esté en una u otra posición, el terminal de abajo de cada resistencia esta a un potencial 0 (ya sea masa real o virtual). Dado que la corriente suministrada por el potencial de referencia es $i = V_{ref} / R$, la forma en que se reparten dichas corrientes permite concluir que

$$v_0 = -\frac{V_{ref}}{R} R \sum_{k=1}^n \frac{d_k}{2^{n-k+1}} = -\frac{V_{ref}}{2^n} \sum_{k=1}^n d_k 2^{k-1},$$

que es la misma ecuación correspondiente al método de las corrientes ponderadas.

El circuito anterior actúa en modo de corriente, uno de los más utilizados. Hay otros modos de operación, como el modo de tensión, ilustrado en la figura 7.

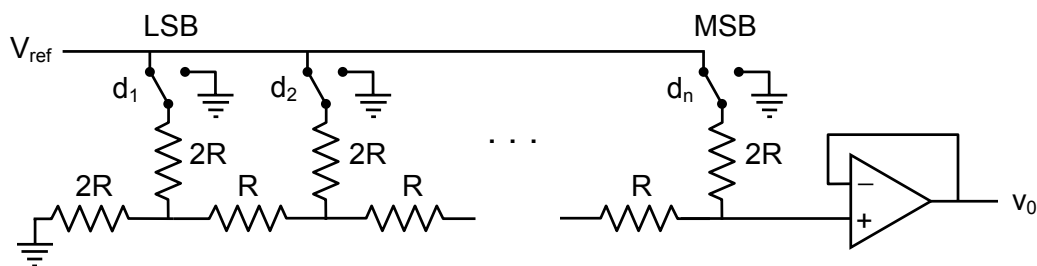


Figura 7. Conversor digital-analógico R-2R en modo de tensión.

El análisis de la operación de este circuito se realiza por superposición. Supondremos primero que sólo $d_k = 1$, como se muestra en la figura 8. (a). Aplicando la propiedad de la red R-2R hacia la izquierda de la sección k, dicho circuito resulta equivalente al de la figura 8. (b).

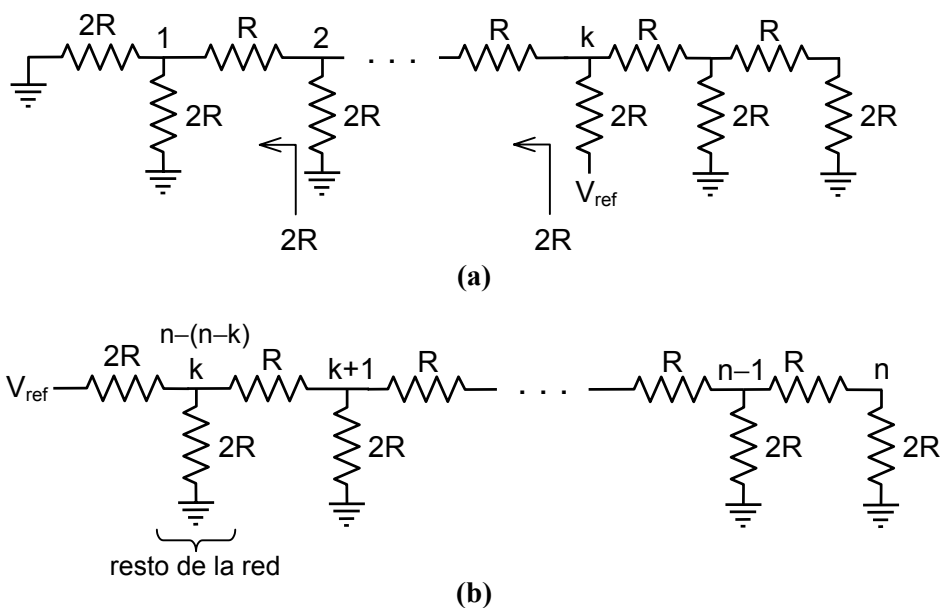


Figura 8. Análisis de la red R-2R en modo de tensión. (a) Situación cuando actúa sólo la fuente k-ésima. (b) La misma red en la cual se han sustituido las secciones hacia la izquierda de V_{ref} por una resistencia de valor $2R$.

El análisis procede por aplicación sucesiva $n - k$ veces del teorema de Thévenin (figura 2.9). La primera vez la fuente V_{ref} se reduce a $V_{ref} / 2$, la segunda, a $V_{ref} / 4$, y, por último, a $V_{ref} / 2^{n-k}$. Finalmente, queda un divisor de tensión cuya salida es

$$V_{0,k} = \frac{V_{ref}}{2^{n-k+1}} .$$

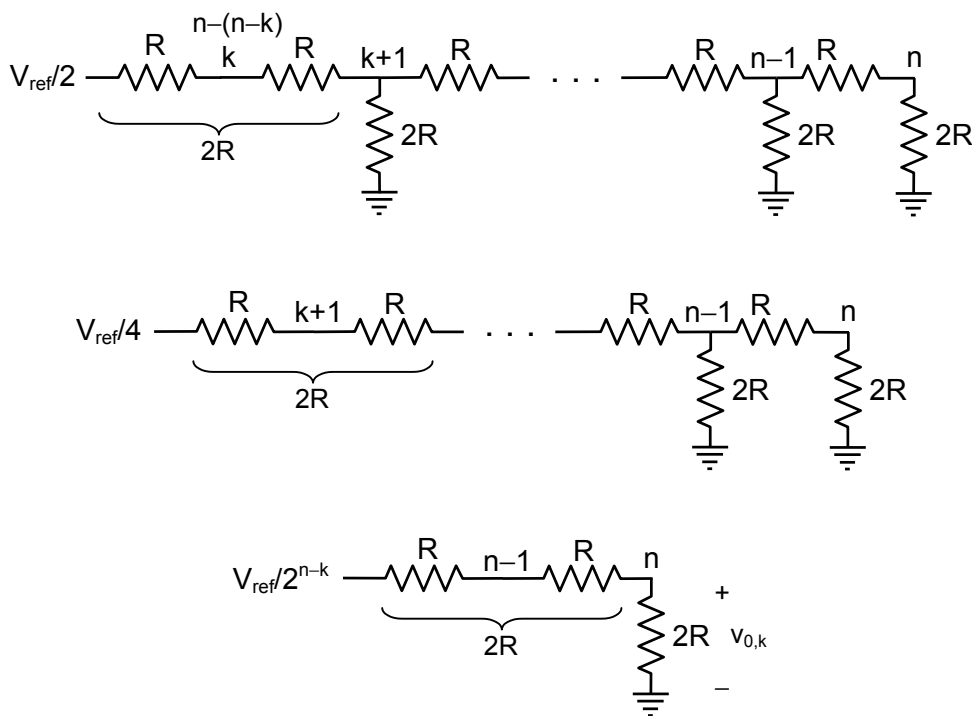


Figura 9. Reducción de la red R-2R en modo de tensión por aplicación sucesiva del teorema de Thévenin.

Podemos concluir el análisis superponiendo los $v_{0,k}$. Resulta

$$v_0 = \sum_{k=1}^n d_k \frac{V_{ref}}{2^{n-k+1}} = \frac{V_{ref}}{2^n} \sum_{k=1}^n d_k 2^{k-1} .$$

Salvo por el signo, obtenemos el mismo resultado correspondiente a los métodos estudiados anteriormente.

Dado un conversor D/A con salida en corriente, como la red R-2R, cuya topología final se complementa con un conversor de I a V implementado con un amplificador operacional, se puede obtener una que responda al código binario desplazado (binary offset) agregando una rama que aporte una corriente adicional como se indica en la figura 10. El resultado es, entonces, bipolar.

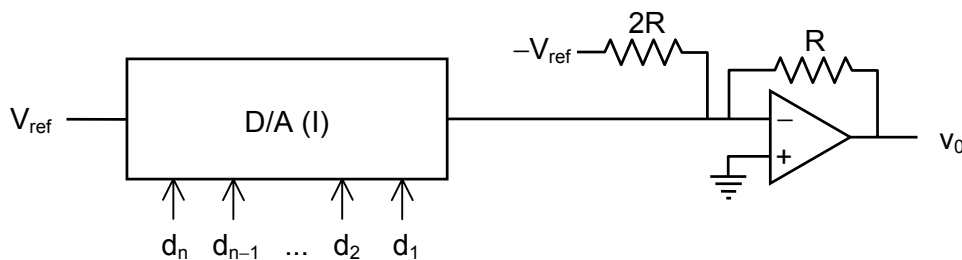


Figura 10. Estructura de un conversor digital-analógico que responde al código binario desplazado.

Al ingresar $d_k = 0$ para $k = 1, \dots, n$ se obtiene a la salida $v_0 = V_{ref} / 2$, que corresponde al máximo valor negativo (no olvidar que este convertor invierte). Al ingresar $d_n = 1$ y $d_k = 0$ para $k = 1, \dots, n-1$ se obtiene $v_0 = 0$. Finalmente, si se tiene una entrada con $d_k = 1$ para $k = 1, \dots, n$, resulta $v_0 \cong -V_{ref} / 2$, que corresponde al valor máximo positivo.

Si en lugar de tener una entrada codificada en binario desplazado se tiene una entrada en complemento a 2, el esquema de la figura 11, que invierte el MSB, lo convierte en binario desplazado y luego en analógico.

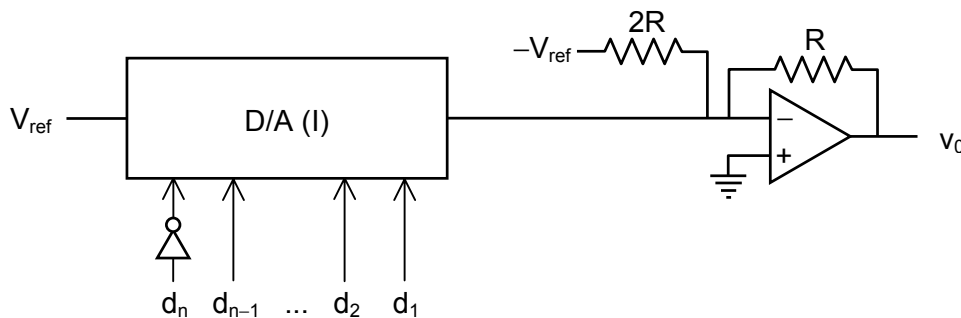


Figura 11. Estructura de un convertor digital-analógico que responde al código complemento a 2.

Vemos, entonces, que el mismo tipo de convertor, con sutiles variantes, permite manejar los códigos más difundidos como señales de entrada.

En el caso del convertor en modo tensión, para obtener el desplazamiento de $-V_{REF}/2$ requerido para el código binario desplazado se reemplaza V_{REF} por $V_{REF}/2$ y el seguidor por un sumador algebraico, como se indica en la figura 12.

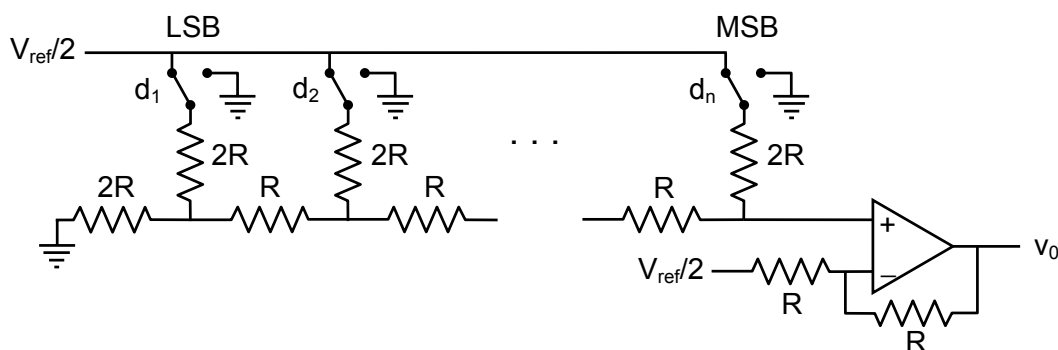


Figura 12. Convertor digital-analógico R-2R en modo de tensión que acepta código binario desplazado.

2.4. Convertor Multiplicativo

Los convertidores integrados en los cuales V_{ref} no es fija sino que puede imponerse externamente se denominan **convertidores multiplicativos**.

2.5. Especificaciones de los conversores D/A

Para una aplicación efectiva de los conversores digital-analógicos es preciso conocer y saber interpretar las especificaciones de los mismos, ya que ponen de manifiesto las limitaciones así como las verdaderas prestaciones, que en muchos casos difieren considerablemente de la idealidad. A continuación presentamos una descripción de las especificaciones más importantes.

Resolución: es la cantidad de bits o dígitos binarios que acepta en su entrada. También puede expresarse como el porcentaje del valor nominal máximo (fondo de escala). Ejemplo: un convertor de 10 bits también puede tener su resolución expresada como $1/2^{10} \cong 0,0976 \%$. Observar que la resolución por sí sola no indica nada respecto a la precisión del convertor.

Exactitud: es la máxima desviación respecto a la línea recta que une el mínimo y el máximo valor ideales. Se expresa en LSB (least significant bit), lo cual significa que se usa el salto mínimo nominal como unidad. Otra forma de expresarlo es en porcentaje del valor máximo nominal. La exactitud ideal es 0 LSB. Es necesario tener en cuenta que esta especificación incluye todos los errores posibles del convertor (figura 13).

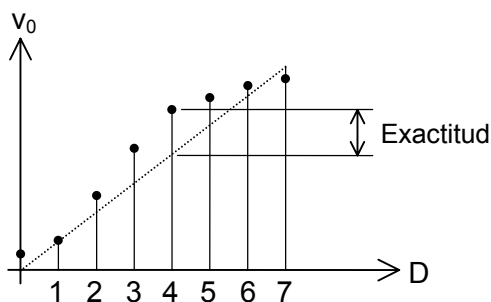


Figura 13. Error de exactitud en un convertor digital analógico

Error de escala: Es el error que se obtiene a fondo de escala con respecto al valor ideal (figura 14). Se debe en general a errores de ganancia, en la referencia o en la red resistiva. Se expresa también en LSB a fondo de escala. El error de escala ideal es 0 LSB.

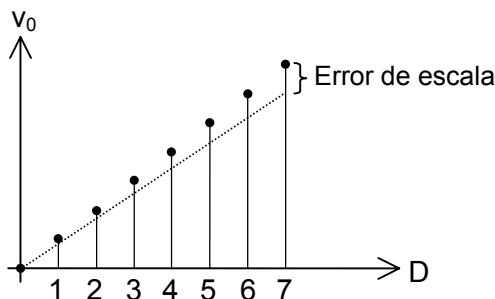


Figura 14. Error de escala en un convertor digital analógico. La recta ideal es la punteada.

Error de offset: Es el valor de salida obtenido cuando la entrada es nula. Se mide en porcentaje del máximo nominal o en LSB (figura 15). El valor ideal es 0 LSB.

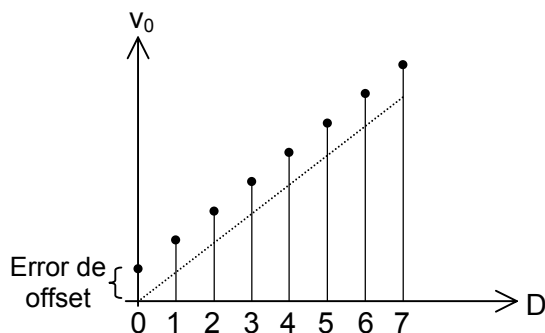


Figura 15. Error de offset en un conversor digital analógico.

No linealidad: Indica la máxima separación de la línea recta que resulta luego de eliminar los errores de escala y de offset (figura 16). El valor ideal es 0 LSB.

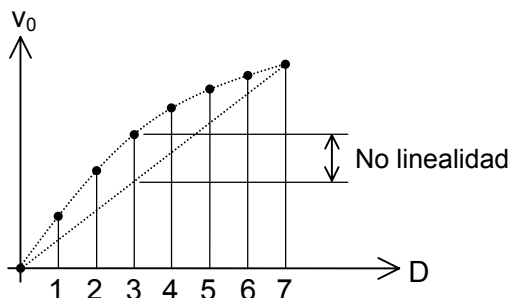


Figura 16. Error de no linealidad en un conversor digital-analógico.

No linealidad diferencial: Es la máxima diferencia entre un salto a la salida debido a un cambio de 1 LSB y el salto ideal (figura 17). Se expresa como porcentaje del máximo nominal o en LSB. El valor ideal es 0 LSB.

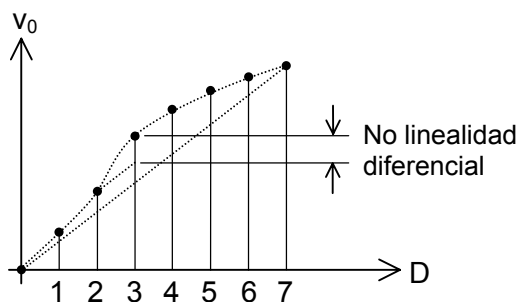


Figura 17. Error de no linealidad diferencial en un conversor digital-analógico.

Monotonía: Es la cualidad de generar valores analógicos crecientes ante códigos digitales de entrada crecientes. A veces se especifica como aquella resolución en bits para la cual se puede garantizar la monotonía. Por ejemplo, un conversor podría tener una resolución de 8 bits pero una monotonía de 7 bits, en caso de que algunos saltos de 1 LSB produzcan inversiones, pero que ningún salto del segundo bit menos significativo produzcan tales inversiones. Idealmente, la monotonía debe ser igual a la resolución. La

monotonía está relacionada con la no linealidad. Una no linealidad mayor de $\pm 0,5$ LSB podría provocar una pérdida del carácter monótono de la respuesta, especialmente cuando en un código el error es por exceso y en el que le sigue es por defecto. Esta situación puede darse en el salto que se produce en el punto medio de la escala (01...1 a 10...0).

Tiempo de establecimiento: Es el máximo tiempo transcurrido luego de un cambio de código de entrada arbitrario para alcanzar el valor analógico correspondiente con un error de a lo sumo $\pm 0,5$ LSB. El tiempo de establecimiento de un convertor D/A tiene dos componentes: una debida al comportamiento dinámico lineal y otra debido al *slew-rate* del amplificador operacional (fenómeno no lineal). La primera se debe a las capacidades parásitas en paralelo con las llaves analógicas, que hacen que la conmutación entre un código de entrada y otro no sea instantánea. Sus características son similares a las de cualquier transitorio, con una aproximación exponencial al valor final. La componente debida al *slew-rate* del amplificador se caracteriza por un crecimiento lineal con pendiente fija, por lo cual cuanto mayor sea la amplitud del salto (por ejemplo un cambio en la entrada de 00...0 a 11...1) mayor será el tiempo de crecimiento. En general predomina el efecto del *slew-rate*, salvo que se usen amplificadores de muy alta velocidad.

Slew-rate: máxima pendiente de la salida ante una conmutación del código de entrada. Su efecto es más notorio en las transiciones grandes (o a fondo de escala). En general, se debe no a la red R-2R sino al amplificador que convierte corriente en tensión.

Sobrepico y glitch: El **sobrepico** es el resultado de una respuesta subamortiguada en el amplificador. El **glitch** es un efecto similar a lo que en lógica se denomina "aleatorio", que consiste en que las llaves no conmutan instantáneamente ni simultáneamente. Así, en un DAC de 8 bits, al pasar del código 127 al 128 en la entrada, podría haber un momento en que todas las llaves conducen (es decir que se encienda la que corresponda al MSB antes de apagarse las restantes), o viceversa. El resultado es un pico de corriente corto (de uno u otro signo) pero de gran amplitud (figura 18). Este pico podría atenuarse debido al *slew-rate* del amplificador de salida.

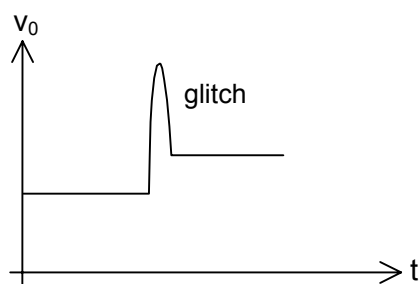


Figura 18. Fenómeno de *glitch* en la conmutación entre dos valores que implican el cambio simultáneo de muchos bits.

El glitch puede eliminarse con un **degitcher**, circuito que consiste esencialmente en un *sample and hold* que valida el dato convertido recién un tiempo después del cambio.

Derivas con la temperatura: cada uno de los parámetros anteriores es susceptible de cambiar con la temperatura, por ejemplo el error de no linealidad o de fondo de escala (error de escala). Se especifica en % del fondo de escala nominal por °C (% FS / °C).

Deriva por envejecimiento: El envejecimiento también altera los valores especificados. Una de los más importantes es la deriva del error de escala debido al envejecimiento de la V_{ref} .

Ejemplo 1

Consideremos un convertor D/A de 8 bits con resistencias ponderadas cuya tolerancia es 1% como el indicado en la figura 19. Nos interesa calcular las especificaciones anteriores.

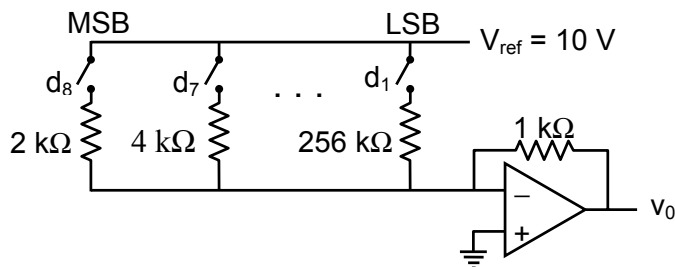


Figura 19. Circuito equivalente de un convertor digital-analógico de resistencias ponderadas. Todas las resistencias son al 1 %.

a) Resolución: 8 bits ó $1/2^8 \cong 0,39 \%$.

b) Error de escala: El peor caso se da cuando las resistencias de la red ponderada tienen un error de -1% y la de realimentación de $+1 \%$ (o viceversa). En ese caso resulta

$$v_0 = -\frac{V_{ref}}{2^8} \frac{1,01}{0,99} \sum_{k=1}^8 d_k 2^{k-1} \cong -1,02 \frac{V_{ref}}{2^8} \sum_{k=1}^8 d_k 2^{k-1}$$

de donde resulta un error de escala del $\pm 2\%$, es decir:

$$\pm 0,02 \times 255 = \pm 5,1 \text{ LSB.}$$

Obsérvese que el error se multiplicó por 255 ya que ése (y no 256) es el valor máximo.

c) Offset: En este caso, el origen del offset puede ser el offset del operacional. Si suponemos $V_{ref} = 10 \text{ V}$ y $V_{os} = 5 \text{ mV}$ tendremos, cuando $d_k = 0$ para $k = 1, \dots, 8$, que $v_0 = 5 \text{ mV}$. Entonces el offset será, expresado en LSB:

$$\text{Offset} = \frac{0,005}{\frac{10}{256}} = 0,128 \text{ LSB}$$

d) No linealidad: El peor caso se dará cuando la resistencia de 2 kΩ sea máxima y las otras mínimas, ya que en ese caso prácticamente no cambia el valor final (pues el

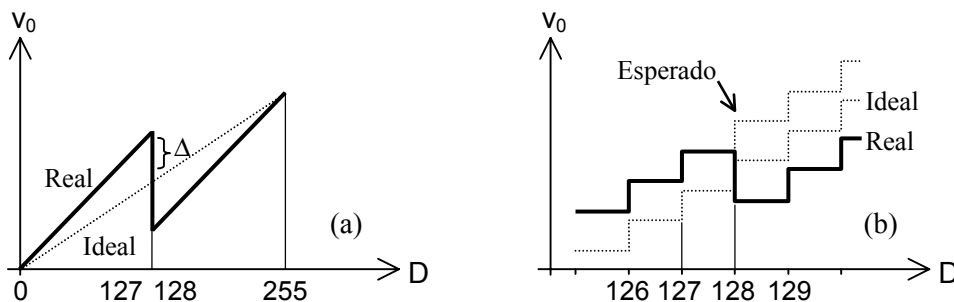


Figura 20. (a) Error de no linealidad correspondiente al conversor digital analógico del ejemplo 1 (muy exagerado). La respuesta ideal es la punteada. (b) detalle en torno al cambio del bit más significativo (de 127 a 128).

paralelo tiene un error de apenas 0,01%) pero en cambio se produce un salto grande al conmutar entre 127 y 128, ya que en 127 están presentes todas las resistencias de menor magnitud, y en 128 se encuentra la primera, de mayor magnitud (figura 20). El error resulta

$$\begin{aligned} \Delta &= 1,01 \frac{V_{ref}}{2^n} \sum_{k=1}^{n-1} 2^{k-1} - \frac{V_{ref}}{2^n} \sum_{k=1}^{n-1} 2^{k-1} = \\ &= (1,01 - 1) \frac{V_{ref}}{2^n} \sum_{k=1}^{n-1} 2^{k-1} = 0,01 \frac{V_{ref}}{2^n} (2^{n-1} - 1) \end{aligned}$$

que, referido al fondo de escala, da

$$\frac{\Delta}{\frac{V_{ref}}{2^n} (2^n - 1)} = 0,01 \frac{(2^{n-1} - 1)}{(2^n - 1)} = 0,00498 = 0,498 \%$$

Expresado en LSB se obtiene

$$0,00498 \times 255 = 1,27 \text{ LSB.}$$

Si la no linealidad es mayor de ± 0,5 LSB, existe la posibilidad de que se pierda la **monotonía**, ya que a un código podría corresponderle un valor más alto que 0,5 LSB y al siguiente uno menor que -0,5 LSB. Este ejemplo muestra un caso en el que se pierde la monotonía al pasar de 127 a 128.

e) No linealidad diferencial: Ésta es el doble de la anterior, es decir, 2,54 LSB. En efecto, se espera un salto de + 1 LSB y sin embargo se tiene uno de 1 LSB -2,54 LSB (ver figura 20b) por lo tanto la diferencia es -2,54 LSB que, en valor absoluto es 2,54 LSB.

Ejercicio: Estudiar el efecto de una tolerancia ± 1% en una red R-2R.

3. Aplicaciones

3.1. Potenciómetro digital

Un convertor D/A multiplicativo puede utilizarse como potenciómetro digital, el cual puede ser controlado desde un microprocesador, como se muestra en la figura 21. El capacitor es una compensación que permite mejorar el tiempo de establecimiento. La resistencia de realimentación está integrada para reducir las derivas térmicas.

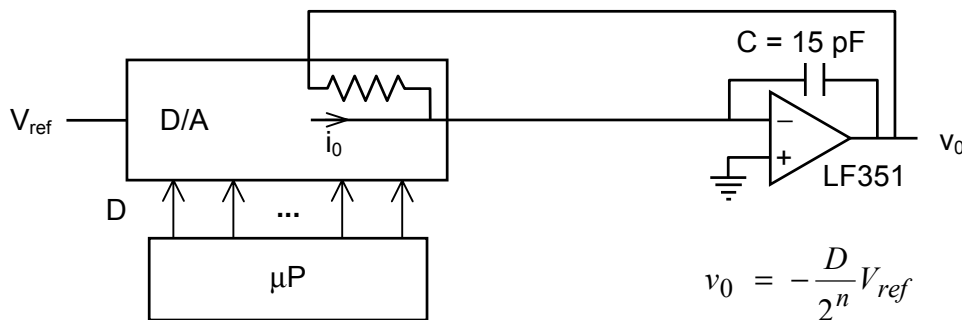


Figura 21. Potenciómetro controlado digitalmente o amplificador de ganancia controlada digitalmente.

3.2. Amplificador con ganancia controlada

Si el convertor es de tipo multiplicativo puede utilizarse la entrada de V_{ref} como una entrada de señal, y entonces la ganancia será proporcional al dato digital de entrada al convertor. El circuito es idéntico al de la figura anterior.

3.3. Convertor con características mejoradas

El circuito de la figura 22 mejora las características en continua sin sacrificar la velocidad.

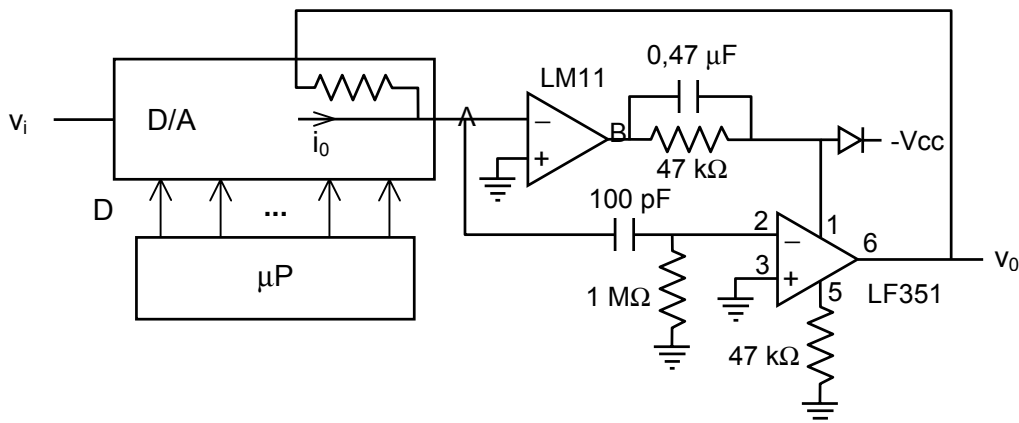


Figura 22. Amplificador con ganancia controlada digitalmente con características mejoradas en cuanto a corriente continua.

En este circuito se produce una realimentación indirecta a través del circuito de balance de offset (terminales 1 y 5) del amplificador operacional LF351, que se muestra en la figura 23. Supongamos invariable la entrada digital, y consideremos un aumento en la tensión V_{os} del LF351. Esto implica un aumento no deseado en la salida v_0 y por lo tanto en la entrada inversora A del LM11. A su vez esto implica que B baja, reduciéndose la corriente entrante por el terminal 1 de balance de offset del LF351. Dado que las

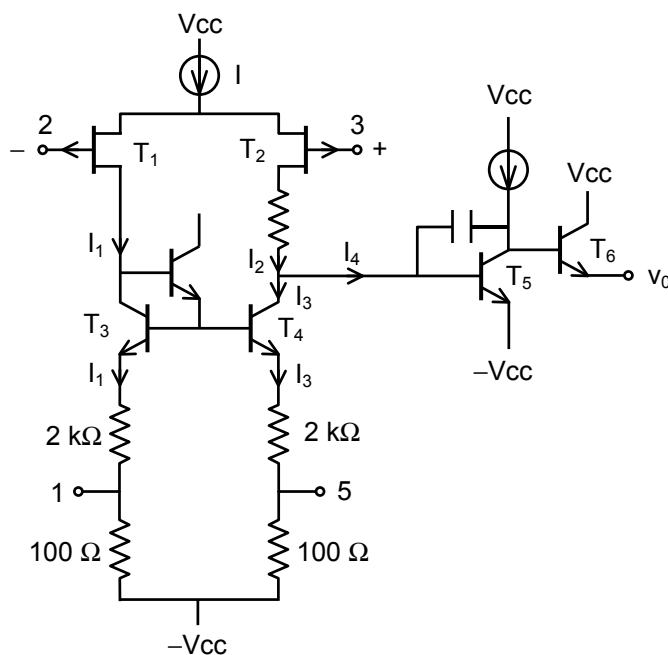


Figura 23. Circuito simplificado del amplificador LF351 en el cual se muestran los terminales 1 y 5 de balance de offset.

corrientes I_1 e I_2 dependen sólo del potencial aplicado entre los gates (compuertas) de los FETs de entrada, una reducción en la corriente entrante por el terminal 1 implica que el potencial del emisor de T_3 baja, y por lo tanto baja el de T_4 , reduciéndose la corriente I_3 . Esto implica, a su vez, que I_4 aumenta, y dado que T_5 está en conexión inversora, su colector baja, lo cual se traslada, por medio del seguidor T_6 , a la salida v_0 .

En resumen, un aumento del offset, que hace crecer v_0 , termina con una reducción de v_0 . La realimentación es negativa y el resultado equivale a que el offset se reduzca. La razón por la que no se anula totalmente está en la limitación del offset del LM11, que aparece directamente a la salida a través de la resistencia de realimentación que convierte la corriente en tensión. El offset del circuito completo, es, pues, comparable al del LM 11, que es bajo (ésta es la razón para haber elegido dicho amplificador).

3.4. Amplificador con ganancia controlada inversamente

Puede utilizarse una red R-2R como realimentación de un amplificador, obteniendo un amplificador cuya ganancia está controlada digitalmente en forma inversa (se divide por el dato digital D en lugar de multiplicar por él). Este circuito se muestra en la figura 24

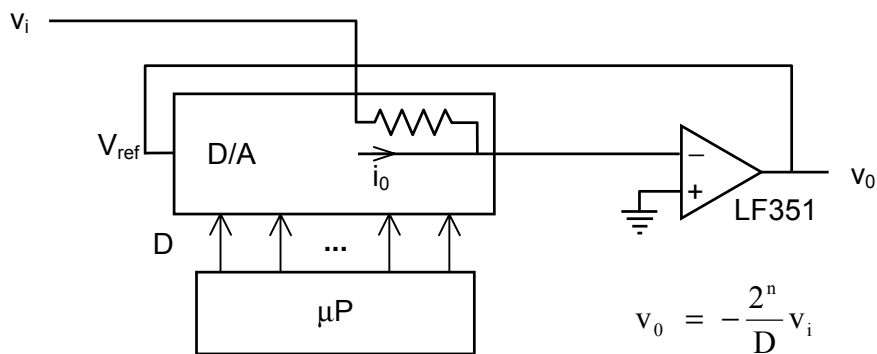


Figura 24. Amplificador de ganancia controlada digitalmente en forma inversa.

Dado que la corriente de salida de la red R-2R vale

$$i_0 = \frac{D}{2^n} \frac{V_{ref}}{R} = \frac{D}{2^n} \frac{v_0}{R},$$

y que además $v_i/R = -i_0$, resulta

$$v_0 = -\frac{2^n}{D} v_i.$$

Este circuito puede resultar útil a fin de ahorrar instrucciones cuando el microprocesador es en realidad un microcontrolador con espacio limitado de memoria para el programa.

3.5. Multiplicador de capacidad

El siguiente ejemplo (figura 25) es un multiplicador de capacidad con capacidad controlada digitalmente (en forma inversa). Este circuito puede resultar útil para controlar digitalmente la frecuencia de corte de un filtro pasabajos.

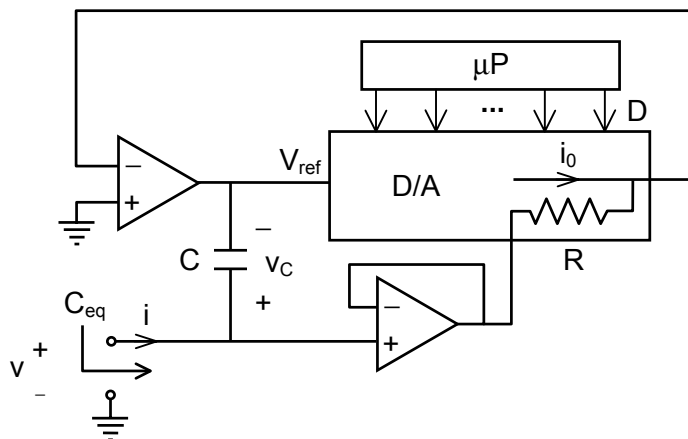


Figura 25. Multiplicador de capacidad controlado digitalmente.

Para obtener C_{eq} , apliquemos una tensión v entre los terminales correspondientes y calculemos la corriente i que circula. Debido al seguidor y a la masa virtual del otro amplificador, dicha tensión aparece aplicada en la resistencia R , por lo tanto debe ser $i_0 = -v/R$. Pero

$$i_0 = \frac{D}{2^n} \frac{V_{ref}}{R},$$

de donde

$$V_{ref} = -\frac{2^n}{D} v.$$

Esto permite calcular la tensión en el capacitor C :

$$v_C = v - \left(-\frac{2^n}{D} v\right) = \left(1 + \frac{2^n}{D}\right)v.$$

De aquí puede obtenerse la corriente por el capacitor, la cual será igual a la corriente i de entrada:

$$i = i_C = sC \left(1 + \frac{2^n}{D}\right)v.$$

Entonces:

$$C_{eq} = C \left(1 + \frac{2^n}{D}\right).$$

4. Muestreo y retención (sample and hold)

Se denomina **muestreo** a la acción de tomar muestras (valores) de una señal en una sucesión de instantes sin importar lo que sucede el resto del tiempo. Ello implica poder conmutar la señal de manera que en el instante deseado la misma atraviese un amplificador (o seguidor) y fuera de ese instante la entrada quede conectada a masa. Ello puede lograrse con el circuito de la figura 26.

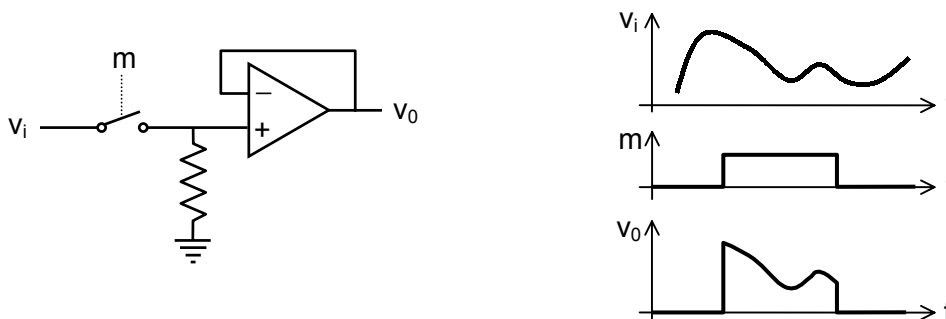


Figura 26. Circuito de muestreo y ejemplo de su comportamiento.

La llave, en la práctica, puede ser un FET. Este circuito tiene la desventaja de que no permite retener el valor de la última muestra, sino que la salida vuelve a 0. En mu-

chos casos, específicamente en el de la conversión analógica-digital, hace falta un valor constante durante cierto intervalo de tiempo para efectuar una conversión correcta. Para lograr esto, es preciso realizar un **muestreo con retención**. Un circuito de muestreo y retención es el que se ilustra en la figura 27.

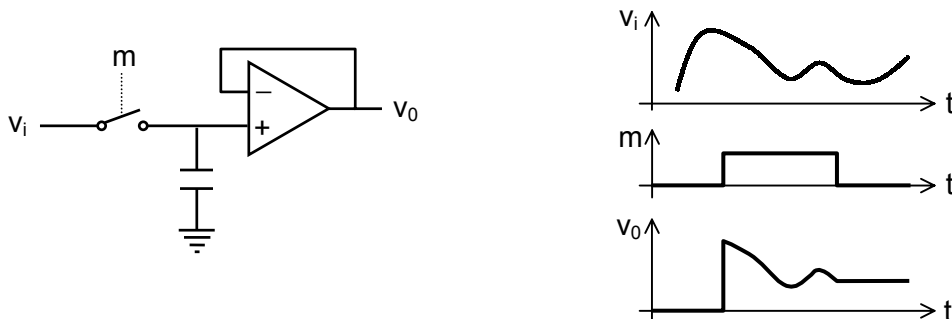


Figura 27. Circuito de muestreo con retención y ejemplo de su comportamiento. Al término del intervalo de muestreo el último valor queda retenido en el capacitor.

Típicamente, el tiempo de muestreo será corto, y el de retención más largo (figura 28).

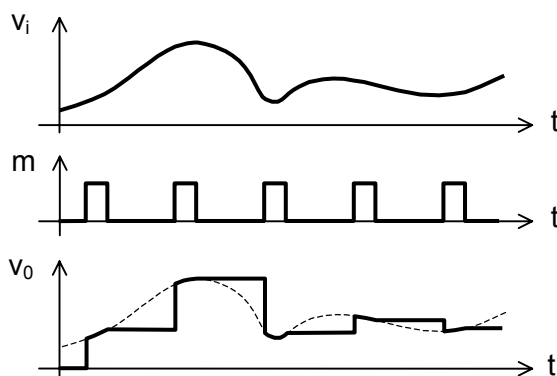


Figura 28. Aplicación típica de un circuito de muestreo y retención para muestrear una señal que varía en el tiempo.

4.1. Especificaciones del muestreo y retención

Un sistema de muestreo y retención (sample and hold) ideal transmitirá instantáneamente y sin errores el valor de su entrada a la salida durante la etapa de muestreo y conservará dicho valor indefinidamente, durante la etapa de retención, hasta que venga otra etapa de muestreo. En el caso real esto no sucede, y, así, tenemos varias fuentes de error que se traducen en sendas especificaciones:

Tiempo de establecimiento: Es el tiempo requerido, durante el muestreo, para que la salida alcance su valor final con una tolerancia especificada (que dependerá de la aplicación). Se debe a dos factores: la resistencia ON de la llave (que justo con el capa-

ditor C forma una constante de tiempo) y la propia respuesta temporal del amplificador, que podría inclusive tener oscilaciones transitorias.

Error de ganancia: Durante el muestreo (la llave cerrada) la salida debería seguir exactamente a la entrada. Sin embargo podría haber pequeños errores de ganancia y tener una ganancia, típicamente, algo menor que 1.

Error de offset: Podría haber un desplazamiento de la salida respecto a la entrada, en general debido al offset del amplificador.

Derivas durante la retención: Aunque idealmente el capacitor C no tiene por donde descargarse cuando la llave se abre, en la práctica nos encontramos con diversas fugas: las pérdidas debidas al C, la corriente de polarización del amplificador operacional, las fugas a través de la llave no ideal, y las fugas a través de imperfecciones en el circuito impreso. Todo esto da origen a una deriva denominada en inglés “droop” (que podría traducirse como una inclinación debida a falta de soporte), y que se expresa en mV/S.

Feedthrough: Durante la retención, además de la deriva ya descrita, suele haber una filtración de señal a través de la capacidad parásita de la llave que hace que aparezca superpuesta con la salida una versión atenuada de la entrada (figura 29). Se determina aplicando una senoide de máxima amplitud y midiendo la amplitud del ripple a la salida. Se expresa como fracción de la entrada y depende de la frecuencia. También se expresa como atenuación en dB.

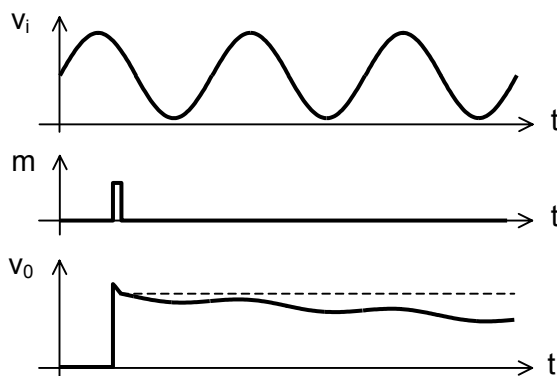


Figura 29. Ejemplo del efecto de las derivas (droop) y el feedthrough. En línea de trazos se representa la retención ideal.

Tiempo de apertura (aperture time): Es el tiempo entre la señal de retención y el instante en que la retención tiene lugar realmente (figura 30).

Tiempo de adquisición (acquisition time): Intervalo de tiempo necesario con la señal presente después de habilitar el muestreo para que la salida alcance el valor de la entrada con un error especificado (típicamente 0,1%). En general se toma un salto de máxima amplitud entre el valor retenido previamente y el nuevo valor de salida (figura 31).

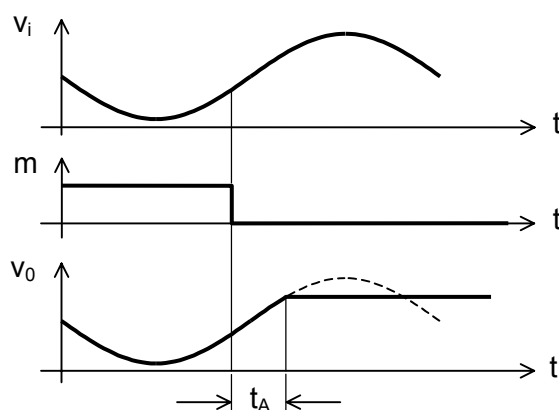


Figura 30. Ejemplo del tiempo de apertura. El valor se muestrea después de un retardo.

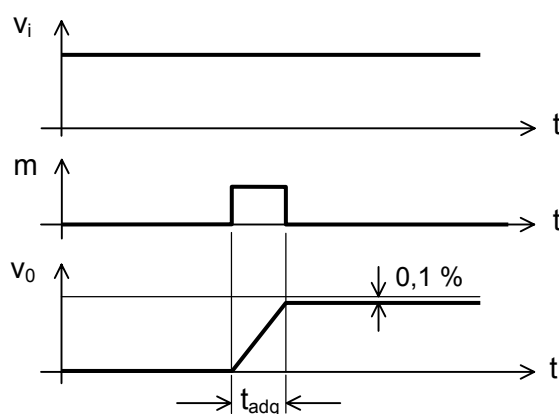


Figura 31. Ejemplo del tiempo de adquisición.

Ejemplo 2

Un *sample and hold* tiene una corriente máxima de fuga entrante al capacitor de retención de 200 pA y un feedthrough de 90 dB con un $C = 0,01 \mu\text{F}$ a 1 kHz. Suponiendo que la llave abierta es un capacitor ideal, determinar la forma de onda que se obtiene a la salida luego de muestrear el valor máximo de una senoide de 4 V de pico si $C = 1 \text{ nF}$.

Solución: dado que el C recibe una corriente de 200 pA tenemos

$$\frac{dv_C}{dt} = \frac{1}{C} i_C = \frac{200 \times 10^{-12}}{1 \times 10^{-9}} = 0,2 \frac{\text{V}}{\text{s}}$$

Por otra parte, durante la retención la capacidad C_{LL} llave y el C forman un divisor capacitivo. Cuando $C = 10 \text{ nF}$, resulta

$$20 \log \frac{C_{LL}}{C + C_{LL}} = -90 \text{ dB},$$

de donde puede concluirse que $C_{LL} = 0,32 \text{ pF}$. Entonces, cuando $C = 1 \text{ nF}$, resulta

$$\frac{C_{LL}}{C + C_{LL}} = 0,00032.$$

Si $V_{\text{pico}} = 4 \text{ V}$, resulta $V_{\text{feedthrough}} = 1,3 \text{ mV}$. La gráfica de la tensión de salida se muestra en la figura 32. Según se puede apreciar, es más importante el efecto del *droop* que el del *feedthrough*

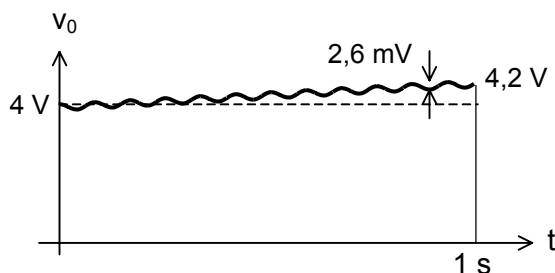


Figura 32. Tensión de salida a partir del instante de retención en el caso del ejemplo 7.2.

4.2. Implementaciones

En general, la llave se implementa con JFET o MOSFET. Un primer ejemplo es el dado en la figura 33.

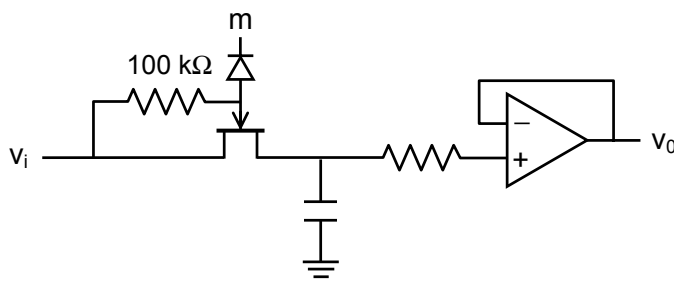


Figura 33. Circuito de muestreo con retención en el cual la llave ha sido implementada con un JFET.

Cuando m se vuelve máxima, el diodo se corta, quedando el FET en conducción con baja resistencia, cargando al capacitor o descargándolo (se requiere un FET bidireccional, es decir, simétrico). Cuando m es mínimo, el FET se corta, quedando el circuito en estado de retención. La resistencia en serie con el terminal no inversor del amplificador operacional protege a dicha entrada ante una eventual desenergización del circuito con el capacitor cargado.

Un segundo circuito se muestra en la figura 34. En este caso la implementación se ha efectuado con dos MOSFET de canal P. Recordemos que en un MOSFET de canal P los terminales de fuente (source) y drenador (drain) están fuertemente dopados con impurezas tipo P, siendo el substrato de tipo N. Cuando la compuerta (gate) se encuentra a

un potencial más negativo que el substrato induce en éste, por efecto capacitivo, un canal formado por los portadores minoritarios (P) que permite la conducción. Cuando el potencial es alto, en cambio, el canal se cierra. El substrato siempre debe conectarse en los MOS canal P a mayor potencial que la entrada.

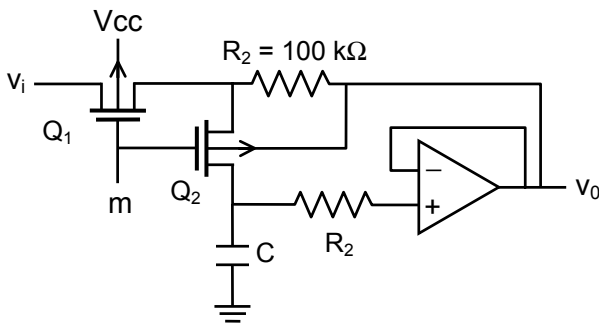


Figura 34. Circuito de muestreo con retención en el cual la llave ha sido implementada con MOSFET.

En este circuito la llave principal es Q₁. Si m es bajo los dos transistores Q₁ y Q₂ conducen, cargándose C a través de ellos. Cuando m es alto, ambos transistores se cortan, pero Q₂ queda con tensión entre substrato y fuente (source) muy baja (correspondiente a la V_{os} del amplificador operacional más alguna caída en R₁ debida a la corriente de polarización), por lo cual se minimizan las corrientes parásitas que alteran la tensión del C.

Finalmente, existen circuitos integrados que realizan la función de muestreo y retención. Uno de ellos es el LF398 (figura 35).

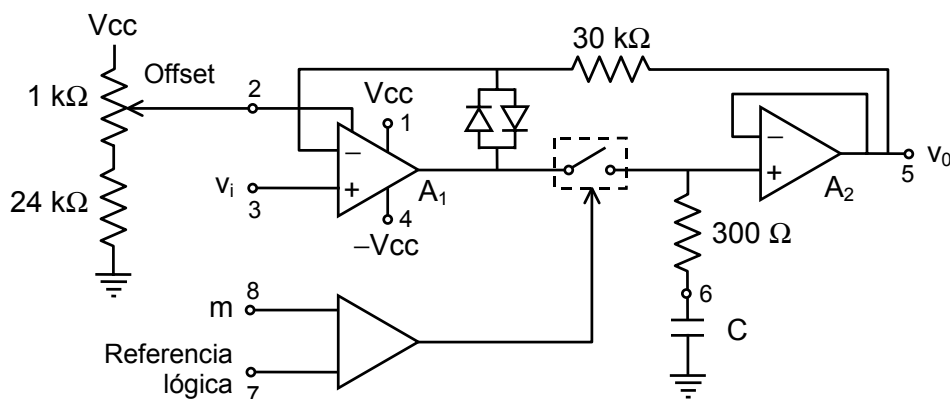


Figura 35. Circuito integrado de muestreo con retención LF398.

El amplificador A₁ está para independizar la impedancia de entrada de la condición de muestra o de retención. Los diodos cierran el lazo de A₁ cuando la llave está abierta (retención), impidiendo su saturación y por lo tanto la reducción de la velocidad. La referencia lógica establece el valor del 0 lógico, típicamente 0 V. El terminal 2 per-

mite ajustar la tensión de offset del amplificador A_1 y así compensar el offset total del sample and hold. El capacitor se elige de manera que la deriva (droop) sea menor que el valor requerido teniendo en cuenta que con la llave abierta (es decir en retención) la corriente que sale por el terminal 6 está entre 30 pA y 200 pA.

5. Conversión analógica / digital

Ahora partimos de una señal analógica y queremos convertirla a una representación numérica. Existen dos dificultades. La primera es que una representación exacta requiere una cantidad infinita (y continua) de estados posibles, lo cual a su vez exigiría infinitos dígitos. La segunda dificultad está en que para obtener dicha representación se requiere que durante un tiempo la señal se mantenga invariable. La primera dificultad se resuelve por medio de la **cuantización**, es decir la aproximación mediante un nivel tomado de entre una cantidad finita de niveles. El proceso de cuantización será asimilable al redondeo o el truncamiento de un número de infinitas cifras decimales. La segunda dificultad se resuelve por medio del **muestreo** y la **retención**. Supondremos, por consiguiente, que la señal de entrada es constante durante el proceso de conversión.

Existen varias técnicas de conversión analógica digital, que podrían clasificarse en dos grandes grupos: directas y realimentadas. Los conversores directos obtienen el dato digital por conteo o por comparación, mientras que los realimentados lo hacen mediante un conversor digital analógico que realimenta el dato digital generado por algún sistema lógico.

5.1. Métodos directos de conversión A/D

Entre éstos se encuentran los conversores de integración de doble y simple rampa y los flash (en paralelo). Veremos cada uno de ellos.

5.1.1. Conversores flash (en paralelo)

Consisten en una serie de comparadores que comparan la señal de entrada con una referencia para cada nivel. El resultado de las comparaciones ingresa a un circuito lógico que “cuenta” los comparadores activados. En la figura 36 se muestra un ejemplo de conversor flash de 3 bits. Las referencias para cada nivel se obtienen con un divisor resistivo múltiple. Los valores de las resistencias extremas difieren de las restantes para lograr que la conmutación de un código al siguiente se produzca a mitad de camino del intervalo que corresponde a ese código. Así, si V_{ref} fuera 8 V, las conmutaciones se efectuarían en 0,5 V, 1,5 V, 2,5 V, etc.

La ventaja de este tipo de conversores es que la conversión es prácticamente en tiempo real, salvo el tiempo de conmutación de los comparadores y la lógica. La desventaja es que cuando la resolución es alta requiere una gran cantidad de comparadores, cuyo offset debe ser menor que 1 LSB. Además, las capacidades de entrada se suman, lo cual atenta contra las altas velocidades que augura el método de conversión. En los casos de resoluciones altas, la conversión se suele realizar en dos etapas, es decir que se usa la mitad de comparadores y en la segunda etapa se les agrega una tensión de referencia que los desplaza. En este caso se utilizan circuitos lógicos secuenciales.

Al principio estos conversores no iban mucho más allá de los 6 bits. Hoy en día alcanzan fácilmente los 12 bits. Algunos ejemplos son los integrados AD9002 (8bits), AD9020 (10 bits) y AD9022 (12 bits).

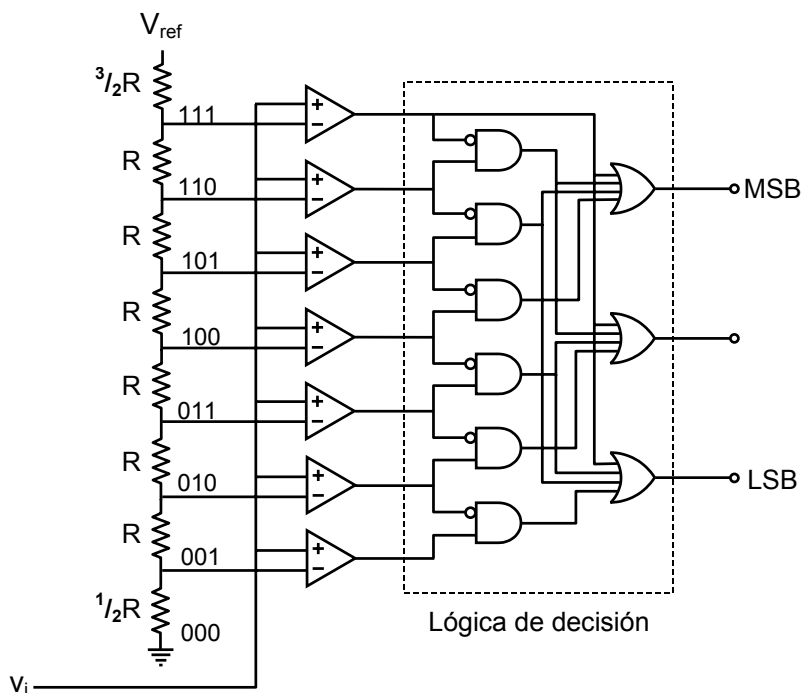


Figura 36. Estructura de un conversor analógico-digital flash (en paralelo) de 3 bits.

5.1.2. Conversor de simple rampa

En este tipo de conversores se utiliza un integrador con un capacitor que se carga a pendiente constante hasta alcanzar la tensión a convertir, instante en que cesa la integración. El tiempo requerido es proporcional a la tensión de entrada, y puede medirse con un contador que cuente ciclos de un reloj. En la figura 37 se muestra un esquema correspondiente a este tipo de conversor.

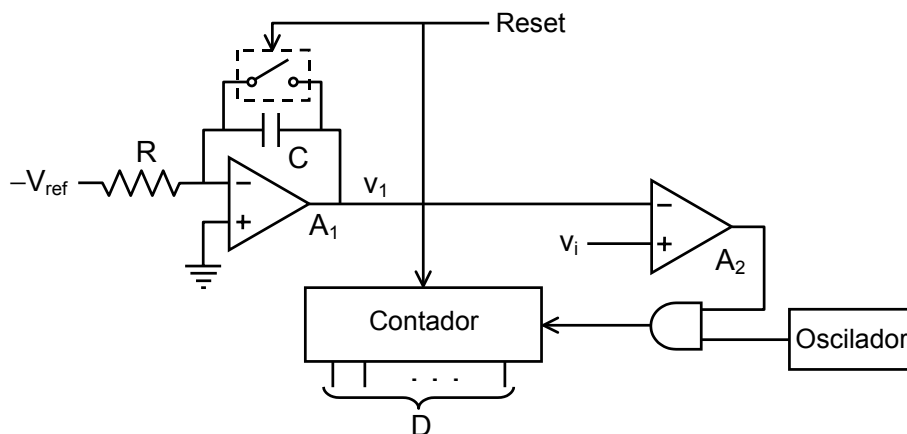


Figura 37. Esquema de un conversor analógico digital de simple rampa.

El integrador comienza a integrar la tensión $-V_{REF}$, obteniéndose

$$v_1 = \frac{V_{ref}}{R \cdot C} t$$

Mientras $v_1 < v_i$ el comparador está alto, permitiendo que los pulsos del oscilador pasen a la entrada de reloj de un contador. Cuando $V_1 \geq V_i$, el comparador conmuta, inhibiendo los pulsos de reloj. El contador queda entonces con su cuenta retenida. Dicho valor es

$$D = [f_{ck} t_0] = \left[f_{ck} RC \frac{V_i}{V_{ref}} \right],$$

donde $[]$ es la parte entera del argumento. Eligiendo $f_{ck} RC = 2^n$ se obtiene un conversor de n bits.

Este circuito tiene al menos dos inconvenientes: 1) la exactitud depende de f_{ck} ; y 2) también depende de R y de C , requiriendo componentes no sólo de bajas tolerancias sino también de bajas derivas térmicas.

5.1.3. Conversor de doble rampa

Este esquema permite independizarse de la precisión de f_{ck} , R y C . La conversión se hace en dos etapas. En la primera se realiza una integración de la tensión de entrada durante un tiempo fijo, y en la segunda se produce la descarga, con pendiente fija, durante un tiempo que depende de la cantidad de carga acumulada.

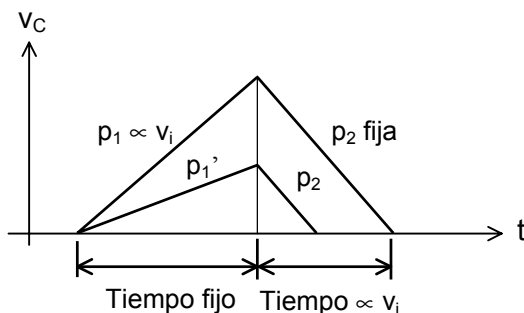


Figura 38. Operación de un conversor analógico-digital de doble rampa. Se muestra la salida del integrador para dos valores de v_i . La pendiente p_1 de la primera rampa es proporcional a v_i . La de la segunda rampa es fija.

La conversión se realiza contando pulsos de reloj durante el tiempo de descarga del integrador hasta que éste retorna a 0. En general, el tiempo fijo T es:

$$T = 2^n / f_{ck}$$

y se toman las pendientes como $p_1 = v_i / RC$ y $p_2 = V_{ref} / RC$. En la figura 39 se muestra un circuito que realiza esta función.

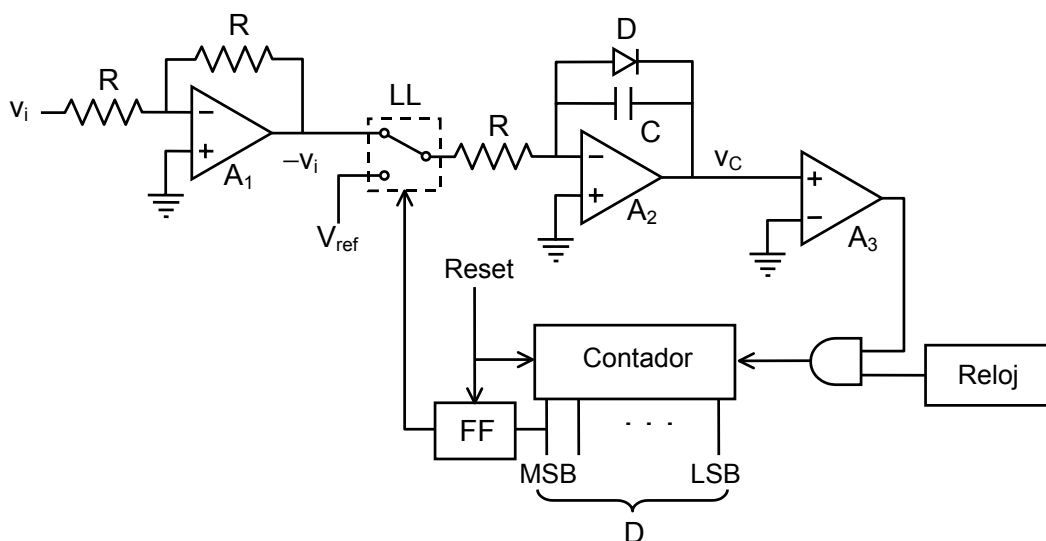


Figura 39. Esquema de un conversor analógico digital de doble rampa.

El ciclo comienza cuando se resetean, simultáneamente, el contador y el flip-flop FF. Entonces la llave LL conecta la tensión $-v_i$, por lo tanto a la salida del integrador tenemos

$$v_c(t) = \frac{v_i}{RC}t + v_c(0)$$

Dado que inicialmente $v_c(0) < 0$, la salida del comparador es baja, inhibiendo los pulsos del reloj. Cuando $v_c(t)$ pasa por 0 se habilita el reloj, y el contador cuenta hasta llegar al máximo valor (11...1), luego de lo cual el MSB pasa nuevamente a 0, haciendo conmutar el flip-flop. El tiempo total transcurrido es

$$T = 2^n / f_{ck},$$

donde f_{ck} es la frecuencia de los pulsos del reloj. Al cabo de este tiempo tenemos

$$v_c(T) = \frac{v_i 2^n}{RC f_{ck}}$$

Luego la llave LL conmuta, pasando a integrar V_{ref} . Entonces

$$v_c(t) = \frac{v_i 2^n}{RC f_{ck}} - \frac{V_{ref}}{RC}(t - T)$$

El conteo prosigue hasta que $v_c(t) = 0$, por lo tanto

$$(t - T) = \frac{v_i 2^n}{V_{ref} f_{ck}}$$

La cuenta alcanzada será $D = [(t - T)f_{ck}]$, donde $[]$ es la parte entera. Finalmente,

$$D = \left[\frac{v_i 2^n}{V_{ref}} \right].$$

Este valor no depende ni de RC ni de la frecuencia, del reloj, en tanto ambos valores se mantengan constantes durante ambas rampas. El rango máximo de entrada es

$$0 \leq v_i < V_{ref}.$$

En la figura 40 se resume la operación durante el ciclo de conversión.

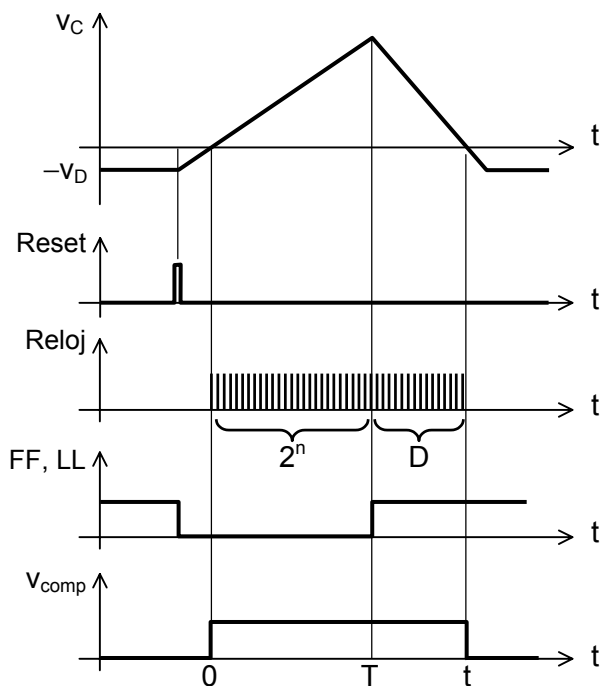


Figura 40. Diagramas temporales de la evolución del ciclo de conversión de un convertor analógico digital de doble rampa.

Es posible transformar este convertor, originalmente unipolar, en bipolar, para lo cual basta desplazar la entrada, sustituyendo el amplificador de entrada por un sumador, como se muestra en la figura 41 (en este caso el resultado se presenta en complemento a 2). Al cabo de 2^n cuentas tendremos

$$v_c(T) = \left(v_i + \frac{V_{ref}}{2} \right) RC f_{ck} 2^n,$$

de manera que, con el mismo razonamiento anterior, se tiene

$$D = \left[\left(v_i + \frac{V_{ref}}{2} \right) \frac{2^n}{V_{ref}} \right].$$

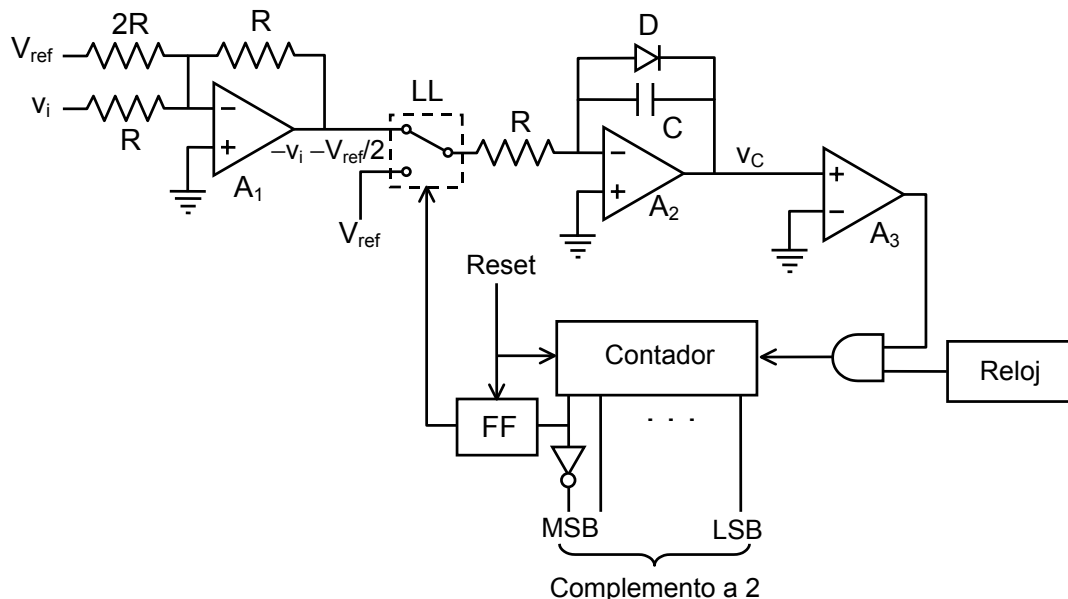


Figura 41. Esquema de un convertor analógico-digital bipolar de doble rampa. La conversión se obtiene en complemento a 2.

Por ejemplo, si $v_i = -V_{ref}/2$, resulta $D = 0$; si $v_i = 0$, $D = 2^{n-1}$; y si $v_i \cong V_{ref}/2$, $D = 2^n - 1$. Se obtiene el resultado en código binario desplazado. Negando el MSB se obtiene en complemento a 2.

Una desventaja inherente a este tipo de circuitos es que el tiempo de conversión es elevado. Podría disminuirse reduciendo RC y aumentando la frecuencia de los pulsos del reloj, pero ello no es conveniente. porque si se reduce R aumentan los errores debidos a la caída en la resistencia no nula de la llave, y si se reduce C aumentan los errores debidos a las corrientes parásitas

5.1.3.1 Rechazo al ruido

Una propiedad interesante de los convertidores basados en integradores es que rechazan el ruido de alta frecuencia., el cual es atenuado por la propia integración. Pero, además, si el período de integración de la señal de entrada coincide con el de algún ruido periódico, como por ejemplo el ruido originado en fugas o ripples con frecuencia de la línea de alimentación (50 Hz) o sus múltiplos, dicho ruido resultará eliminado por completo(en tanto su pendiente no sea tan alta como para igualar la pendiente de descarga). En efecto, supongamos un ruido senoidal

$$r(t) = V_r \cos(\omega t + \varphi)$$

sumado a la señal (constante) de entrada. Entonces, llamando $T = 0$ al instante en que se habilita el contador,

$$v_C(t) = \frac{v_i}{RC}t + \frac{1}{RC} \int_0^t V_r \cos(\omega t + \varphi) dt$$

$$v_C(t) = \frac{v_i}{RC}t + \frac{V_r}{\omega RC}(\sin(\omega t + \varphi) - \sin \varphi).$$

Teniendo en cuenta que $\sin x - \sin y = 2 \sin(x-y)/2 \cdot \cos(x+y)/2$, resulta

$$v_C(t) = \frac{v_i}{RC}t + \frac{2V_r}{\omega RC} \sin \frac{\omega t}{2} \cos \left(\frac{\omega t}{2} + \varphi \right).$$

Si integramos hasta $t = T$ y tenemos en cuenta que φ es arbitrario, ya que la orden de comienzo de la conversión no guarda ninguna relación con el ruido, resulta que el peor caso (ruido máximo) se da para $\varphi = -\omega T/2$. Entonces

$$v_C(T) = \left(v_i + V_r \frac{\sin \pi f T}{\pi f T} \right) \frac{T}{RC}$$

El error queda multiplicado por la función $\text{sinc}(\pi f T)$, como se ilustra en la figura 42.

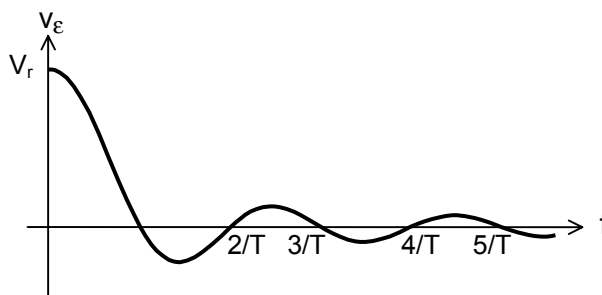


Figura 42. Error al cabo de la primera rampa ocasionado por una senoide superpuesta de amplitud V_r y frecuencia f .

En otras palabras, para $f = k/T$, con k entero, el ruido se anula. En general se adopta $k = 1$ y $T = 1/f_{\text{ruido}}$. Esto se utiliza especialmente en los conversores A/D destinados a los multímetros digitales. En estos casos, el contador es BCD y en lugar de usar códigos desplazados, un circuito detecta el signo e invierte la señal si resulta negativa.

5.2. Métodos realimentados de conversión A/D

Operan generando digitalmente un código (de acuerdo con alguno de varios criterios), el cual se aplica como entrada digital a un conversor D/A. La salida de éste se compara con la entrada, y según el signo del error se incrementa o no el código.

5.2.1. Conversor de rampa discreta

En este caso el generador de código es un simple contador ascendente. La estructura está ilustrada en la figura 43. Al resetear el contador, el conversor D/A aplica una tensión nula al comparador. Si $v_i > 0$, la salida del comparador es alta, la compuerta AND deja pasar los pulsos del reloj, el contador comienza a incrementar el número

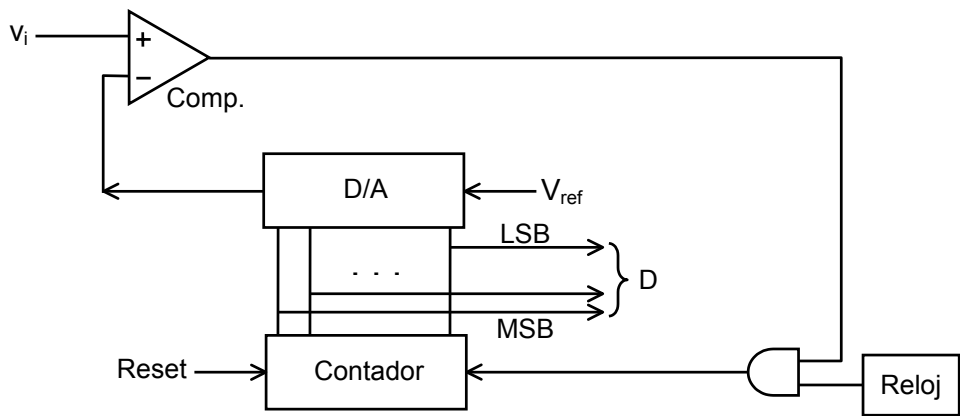


Figura 43. Esquema de un conversor analógico-digital de rampa discreta.

aplicado en el D/A y éste comienza a aumentar en forma escalonada la tensión en el terminal (-) del comparador. Esta situación se mantiene hasta que la tensión (-) supera a v_i . En ese instante la salida del comparador baja e inhibe, a través de la compuerta AND, el conteo. El valor digital D se mantiene entonces invariable hasta un nuevo reset.

5.2.2. Conversor de balance continuo

El conversor anterior requiere ser reseteado para cada conversión, y por lo tanto se requieren hasta $2^n - 1$ ciclos de reloj para completar una conversión. Conceptualmente, el reset puede interpretarse como un conteo descendente rápido, y en ese caso se efectuaba externamente al conversor (ya sea manual o automáticamente).

Supongamos ahora un contador capaz de contar hacia arriba o hacia abajo (up/down) según el nivel de una señal de control. Tendremos así un conversor que responde muy rápidamente a variaciones pequeñas. Tal esquema, **denominado conversor de balance continuo**, se muestra en la figura 44.

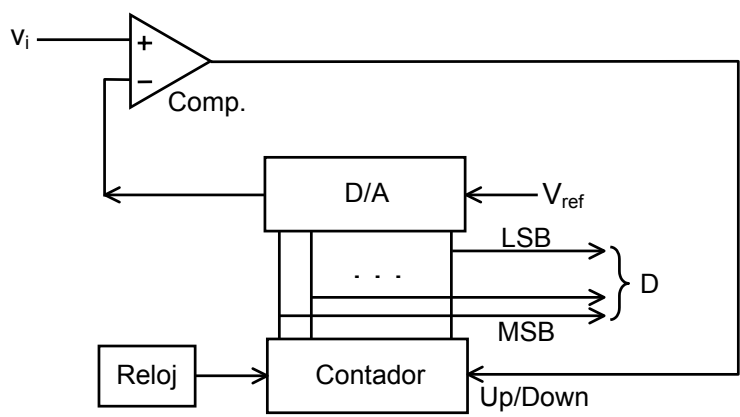


Figura 44. Esquema de un conversor analógico-digital de balance continuo.

Una desventaja es que siempre cambia de valor, aun con entrada constante, ya que siempre “se pasa” para uno u otro lado, oscilando con una amplitud de un LSB. Una solución sería ignorar el bit menos significativo, o bien utilizar un conversor con un bit más de lo necesario.

5.2.3. Conversor de aproximaciones sucesivas

En la figura 45 se muestra la estructura de un conversor analógico-digital de **aproximaciones sucesivas**, uno de los más utilizados en la actualidad pues permite una considerable velocidad de conversión y resolución alta a un bajo costo. La estructura es similar a la de los casos anteriores, pero reemplazando el contador por un **registro de aproximaciones sucesivas**.

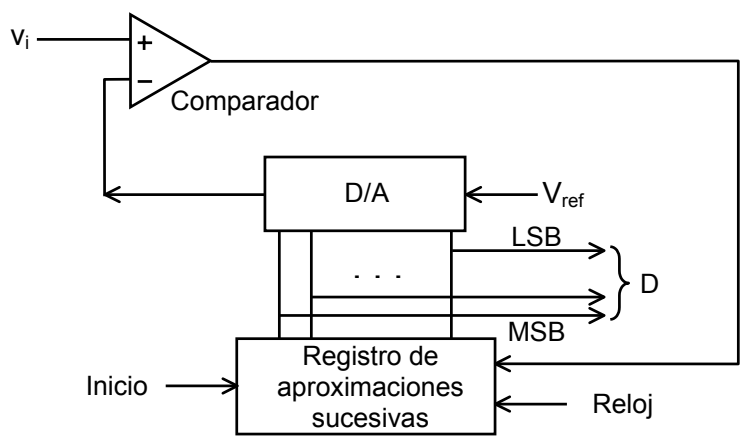


Figura 45. Esquema de un conversor analógico-digital de aproximaciones sucesivas.

El funcionamiento, ejemplificado en la figura 46, es el siguiente. Al dar una señal de inicio de la conversión, el registro aplica un 1 en el MSB (bit n) del conversor D/A y 0 en el resto de los bits. La salida del D/A ante dicho código (1000...0) se ubica en la mitad de la escala ($V_{ref} / 2$). Si $v_i \geq V_{ref} / 2$, el MSB queda fijado definitivamente en 1. Si, por el contrario, $v_i < V_{ref} / 2$, el MSB vuelve a 0. En el paso siguiente, con independencia del valor fijado previamente para el MSB (bit n), el bit n – 1 es llevado a 1. Nuevamente, si v_i supera el valor que ante ese código (x100...0) genera el conversor D/A, el 1 se conserva; de lo contrario, vuelve a 0. En el tercer paso se procede de igual manera: se lleva el bit n – 2 a 1 y se compara la entrada con la salida del D/A ante ese código (xx10...0) y, según el resultado, se conserva el 1 o se lo lleva a 0. El proceso continúa hasta que se llega al LSB (bit 1). Una vez decidido el valor de éste, queda concluida la conversión.

Con este tipo de conversor el tiempo de conversión es de n ciclos de reloj, en lugar de 2^n (o aún mayor) como en los otros casos. Además de la velocidad, resulta importante el hecho de que en k ciclos de reloj ($k \leq n$) quedan garantizados los k bits más significativos. lo cual permite utilizar un mismo conversor con mayor velocidad si no se requiere la máxima resolución.

Es importante observar que, a diferencia del conversor de balance continuo o el flash, en este caso se requiere que la entrada se mantenga rigurosamente constante, de lo

contrario podrían producirse errores muy groseros. En efecto, una vez que los bits más significativos han quedado fijados, ya no es posible cambiarlos hasta la próxima conversión, por lo cual el proceso continúa buscando la mejor aproximación que sea posible con los restantes bits. Por esta razón se requiere un *sample and hold* a la entrada.

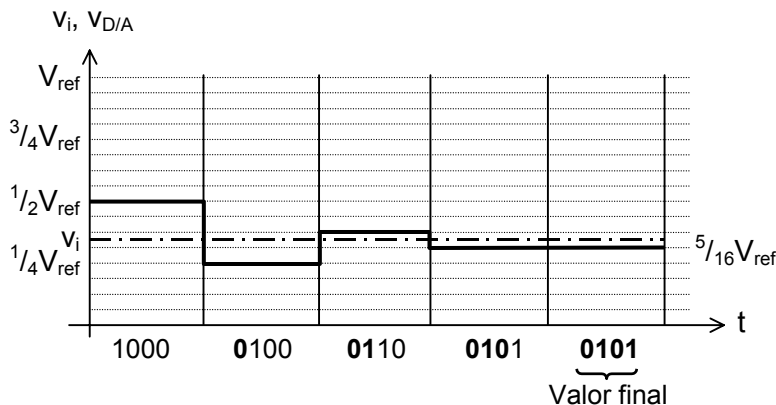


Figura 46. Ejemplo del proceso de acercamiento al valor final en un convertor analógico-digital de aproximaciones sucesivas de 4 bits. Los dígitos en **negrita** representan los que en cada etapa han quedado estabilizados

5.3. Especificaciones de los conversores A/D

Igual que en el caso de los conversores digital-analógicos y los *sample and hold*, existen diversas no idealidades (algunas heredadas de aquéllos) que requieren una cuidadosa especificación. En lo que sigue se describirán las especificaciones más importantes.

Resolución: Es la cantidad de bits que entrega a su salida luego de completada la conversión. También puede expresarse como el porcentaje o partes por millón (ppm) que representa cada LSB en el rango total de entrada. Por ejemplo, un convertor de 12 bits tiene una resolución de $1/2^{12} \times 100 = 0,0244 \%$ o de 244 ppm.

Error de cuantización: Es la máxima desviación de un convertor analógico digital ideal con respecto a una transferencia perfectamente lineal, expresada en LSB. El error puede ser de $\pm 0,5$ LSB ó $+0/-1$ LSB, según cuál sea el punto de conmutación. En algunos casos se procede por truncamiento (figura 47 a) y en otros por redondeo (figura 47 b). La desviación máxima se alcanza apenas antes de conmutar al nivel siguiente.

Error de histéresis: Es el ancho de la ventana de histéresis que se establece alrededor de cada conmutación, expresado en LSB (figura 48). Se debe en general a la histéresis del o los comparadores, y es razonable esperar que sea $\ll 1$ LSB. No es común encontrar esta especificación. La histéresis se utiliza con ventaja para evitar conmutaciones debidas a pequeños niveles de ruido.

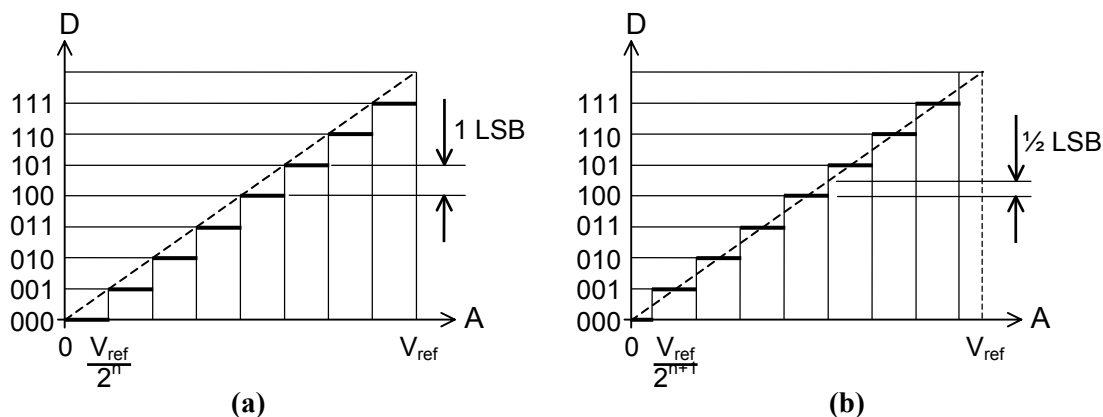


Figura 47. Gráficas de transferencia de un convertor analógico-digital de 3 bits en las cuales puede apreciarse el error de cuantización. **(a)** Sin offset, para cuantización por truncamiento. **(b)** Con offset, para cuantización por redondeo.

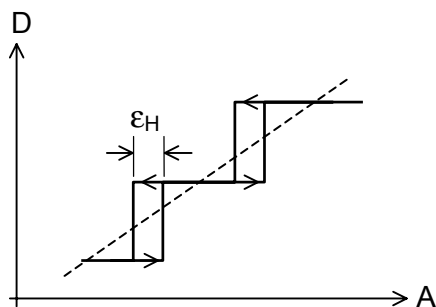


Figura 48. Error de histéresis en un convertor analógico digital.

Error de offset: Es el valor de tensión que debe aplicarse a la entrada para tener una salida digital nula. Se debe al offset del comparador y se expresa en mV o en LSB nominales.

Error de cero: Es la diferencia entre el valor obtenido realmente con entrada 0 y el valor ideal (00...0 ó 10...0 en el caso bipolar). Se expresa en LSB. Esta especificación es, en lo esencial, equivalente al error de offset. Consideremos, por ejemplo, un convertor de 10 bits cuya V_{ref} es 10 V y cuyo error de offset es 5 mV. Un LSB corresponde a

$$1 \text{ LSB} = 10 \text{ V} / 2^{10} = 9,76 \text{ mV}.$$

El error de cero resulta

$$\epsilon_{\text{cero}} = 5 / 9,76 = 0,512 \text{ LSB}.$$

Error de escala: Es la diferencia en LSB entre los valores de fondo de escala correspondientes al convertor ideal y la recta que mejor se aproxima al convertor ensayado (figura 49). Otra forma alternativa de definir el error de escala es como la diferencia entre los valores de la entrada analógica requerida para producir la máxima salida digital ($2^n - 1$) en los casos real e ideal, referidos a 1 LSB analógico nominal (ideal).

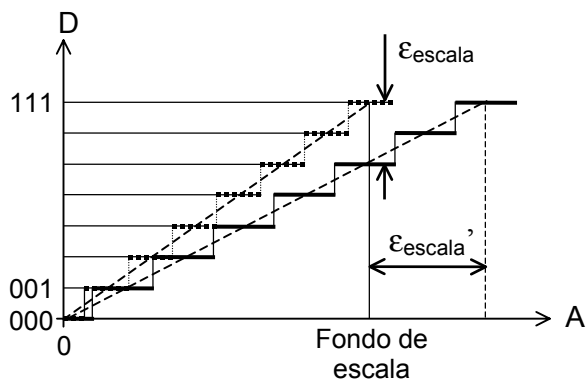


Figura 49. Dos formas alternativas de medir el error de escala en un convertidor analógico digital. En línea de trazos se ha representado la respuesta ideal

Ejemplo 3

Supongamos un convertidor de 8 bits cuya tensión de referencia nominal es de 10 V. Ello significa que 1 LSB analógico corresponde a $10 \text{ V} / 2^8 = 39 \text{ mV}$. Dicho convertidor, por lo tanto, debería conmutar de $2^8 - 2$ a $2^8 - 1$ cuando la tensión de entrada alcance el valor

$$v_i = \frac{10 \text{ V}}{2^8} (2^8 - 1 - 0,5) = 9,941 \text{ V}$$

(hemos supuesto que la cuantización es por redondeo). Si la conmutación se produjera realmente en 10,02 V, entonces el error de escala sería

$$\epsilon_{\text{escala}} = \frac{9,941 - 10,02}{0,039} \cong -2 \text{ LSB.}$$

Para aplicar la primera definición, calcularemos primero el valor de la tensión de referencia del convertidor real. Debe cumplirse

$$10,02 \text{ V} = \frac{V_{\text{ref}}'}{2^8} (2^8 - 1 - 0,5),$$

de donde

$$V_{\text{ref}}' = 10,079 \text{ V.}$$

El valor de fondo de escala es, por consiguiente,

$$\text{Fondo de escala} = \frac{2^8 - 1}{2^8} = \frac{255}{256} \times 10 = 9,961 \text{ V.}$$

La recta que mejor aproxima al convertidor real es aquélla para la cual $256 = k \cdot 10,079$, es decir

$$D = \frac{256}{10,079} v_i.$$

Para $v_i = 9,961$ V el valor resultante será

$$D' = 256 \frac{9,961}{10,079} \cong 253,0$$

de donde

$$\epsilon_{\text{escala}}' = 253,0 - 255 = -2 \text{ LSB.}$$

Se obtiene el mismo valor que con la segunda definición. De hecho, ambas definiciones son prácticamente equivalentes, especialmente cuando la resolución es alta.

Error de no linealidad: Luego de haber eliminado previamente el error de escala, el de offset y el de cuantización, es la máxima diferencia entre los códigos obtenidos realmente, y los correspondientes a la recta que mejor aproxima al conversor ensayado (ver figura 50). Obsérvese que la mejor aproximación es la que minimiza los errores, no la que coincide con la respuesta ideal. En algunos casos se toma la recta que pasa por el punto medio de los LSB extremos en lugar de la mejor aproximación.

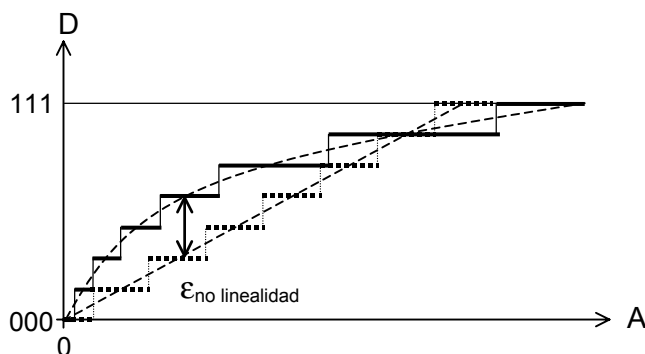


Figura 50. Error de no linealidad en un conversor analógico-digital de tres bits. La respuesta en línea llena es la real y la en línea de puntos es la ideal luego de eliminados los errores de offset y escala.

Error de no linealidad diferencial: Es la máxima diferencia entre la amplitud real de los intervalos analógicos con salida digital constante y la ideal (es decir, un LSB analógico, $V_{\text{ref}} / 2_n$). Se expresa en LSB.

Códigos faltantes: Es la existencia de uno o más valores digitales de la salida entre 0 y $2^n - 1$ que no es alcanzado para ningún valor de la entrada analógica. En general se especifica que “no hay códigos faltantes” (no missing codes) o bien se da la resolución en bits para la cual puede garantizarse que no hay códigos faltantes. Por ejemplo, un conversor podría tener una resolución de 12 bits pero sólo 11 bits sin códigos faltantes. Veremos que las especificaciones sobre no linealidad están relacionadas con la de códigos faltantes.

NOTA 1: Es interesante destacar que si bien sería posible teóricamente que un conversor A/D tuviera una transferencia no monótona, en la práctica ello no sucede, debido a que las técnicas empleadas no lo permiten. En efecto, los métodos integrativos son inherentemente monótonos y también lo es el conversor flash. En cuanto a los métodos que utilizan un conversor D/A como realimentación, sólo sería factible una falta

de monotonía en caso de tener el D/A más de un valor de salida para algún código de entrada, lo cual no es posible (dado que no existe histéresis en un sistema lineal con realimentación negativa).

Cabe preguntarse cuál será el efecto de un D/A no monótono. La respuesta es que aquel código cuya salida analógica correspondiente se encuentre invertida resultará ser un código faltante. En la figura 51 se muestra un ejemplo con un conversor A/D por aproximaciones sucesivas de 3 bits. En dicho ejemplo, el código 011 es inalcanzable. En efecto, cualquier valor mayor que la salida del D/A correspondiente a 100 (por ejemplo, v_{i1}) terminará en un valor de al menos 100; y cualquier valor menor que dicha salida (por ejemplo, v_{i2}) implicará un descenso hasta el código 010 y luego, eventualmente, un ascenso a 011, que no podrá mantenerse porque la salida analógica que le corresponde será mayor que la entrada (en este caso, mayor que v_{i2}).

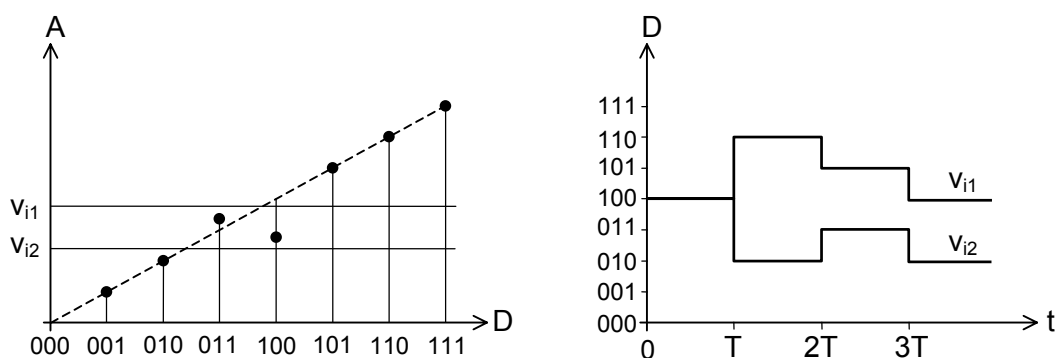


Figura 51. Mecanismo por el cual la falta de monotonía en el D/A de la realimentación de un conversor A/D por aproximaciones sucesivas conlleva la pérdida de códigos. En este ejemplo (3 bits), el código de salida 011 es inalcanzable.

NOTA 2: Una especificación de no linealidad diferencial de -1 LSB implica la existencia de al menos un código faltante. Para que no falten códigos la no linealidad diferencial debe mantenerse por debajo de $\pm 0,5$ LSB.

Tiempo de conversión: Es el tiempo requerido por un conversor A/D para efectuar una conversión completa.

Frecuencia de conversión: Es la cantidad de conversiones por segundo que es capaz de efectuar un conversor A/D. No necesariamente coincide con el recíproco del tiempo de conversión, ya que podría haber algunas operaciones complementarias, que ocupan tiempo después de terminada la conversión propiamente dicha.

Frecuencia de reloj: Frecuencia del oscilador que envía pulsos para la operación del conversor (por ejemplo, para hacer funcionar el contador o el registro de aproximaciones sucesivas).

Además de las especificaciones anteriores, existen especificaciones de derivas con la temperatura de varias de ellas (por ejemplo del offset, de la no linealidad o del error de escala).

6. Muestreo de señales

Hasta ahora supusimos que la señal a convertir era constante (al menos durante el periodo de conversión) o bien obtenida por muestreo y retención (*sample and hold*). En la mayoría de los casos es necesario muestrear y convertir señales que varían en el tiempo en forma arbitraria, con la sola restricción de algún límite en el ancho de banda ocupado. Un ejemplo de ello son las señales de audiofrecuencia, cuya máxima frecuencia útil está en el orden de los 20 kHz.

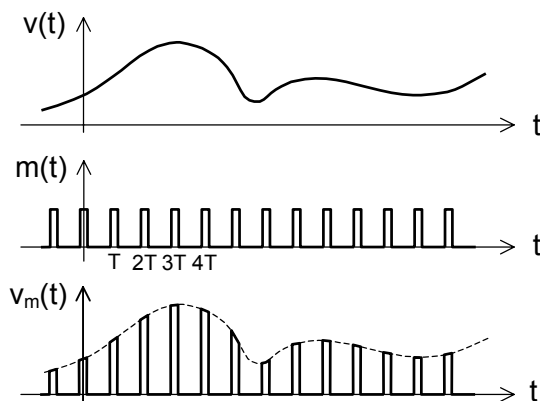


Figura 52. Muestreo de una señal variable en el tiempo por multiplicación por un tren de pulsos de periodo T y ancho τ .

Una consideración central en estos casos es la elección de la **tasa de muestreo** (también llamada **frecuencia de muestreo**), es decir la cantidad de muestras a tomar por unidad de tiempo. Veremos que si se desea posteriormente reconstruir la señal o procesarla en forma asimilable a un procesador analógico (amplificación, filtrado, compresión, etc.) será preciso muestrearla a una tasa mayor o igual que el doble de la máxima frecuencia presente en la señal.

Para ello consideremos una señal $v(t)$. Su transformada de Fourier es

$$V(\omega) = \int_{-\infty}^{+\infty} v(t) e^{-j\omega t} dt ,$$

y se cumple que

$$v(t) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} V(\omega) e^{j\omega t} dt .$$

Supongamos ahora que multiplicamos dicha señal por una señal de muestreo periódica $m(t)$ dada por (ver figura 52)

$$m(t) = \begin{cases} 1/\tau & \text{si } -\tau/2 < t < \tau/2 \\ 0 & \text{si } \tau/2 < t < T - \tau/2 \\ m(t - T) & \text{para todo otro } t \end{cases}$$

El resultado es la señal muestreada

$$v_m(t) = v(t) \cdot m(t) .$$

Aunque las señales pueden ser descriptas tanto desde el punto de vista de su evolución temporal como del espectro, frecuentemente la descripción espectral nos proporciona una idea más clara del efecto de un determinado proceso sobre la señal. Es precisamente el caso del proceso de muestreo, y por ello nos proponemos calcular el espectro de $v_m(t)$. Calculemos primero el espectro de la señal de muestreo $m(t)$. Por ser un tren de pulsos periódico, admite un desarrollo en serie de Fourier. Conviene la representación en la forma compleja:

$$m(t) = \sum_{n=-\infty}^{\infty} c_n e^{jn\omega_m t}$$

donde $\omega_m = 2\pi f_m = 2\pi/T$, y

$$c_n = \frac{1}{T} \int_{-T/2}^{+T/2} m(t) e^{jn\omega_m t} dt = \frac{1}{T} \int_{-T/2}^{+T/2} \frac{1}{\tau} e^{jn\omega_m t} dt = \frac{1}{T} \frac{\text{sen } n\omega_m \tau / 2}{n\omega_m \tau / 2}.$$

Estos coeficientes siguen una evolución con n según la función $\text{sync}(x) = \text{sen } x / x$. Para $\tau \rightarrow 0$, los coeficientes tienden a ser todos iguales a $1/T$. Multiplicando la expresión anterior de $m(t)$ por $v(t)$ se obtiene

$$v_m(t) = \sum_{n=-\infty}^{\infty} c_n v(t) e^{jn\omega_m t},$$

de donde su transformada de Fourier resulta

$$\begin{aligned} V_m(\omega) &= \int_{-\infty}^{+\infty} \left(\sum_{n=-\infty}^{\infty} c_n v(t) e^{jn\omega_m t} \right) e^{-jn\omega t} dt = \\ &= \sum_{n=-\infty}^{\infty} c_n \int_{-\infty}^{\infty} v(t) e^{-j(\omega - n\omega_m)t} dt = \\ &= \sum_{n=-\infty}^{\infty} c_n V(\omega - n\omega_m) \end{aligned}$$

Este resultado es muy interesante, ya que revela que el espectro de la señal muestreada $v_m(t)$ está constituido por infinidad de “copias” del espectro bilateral de la señal original distribuidas periódicamente en el eje de frecuencias con “periodo” igual a la frecuencia de muestreo. Las “copias” están ponderadas por los coeficientes c_n (ver figura 53). Para el caso ideal en que $\tau \rightarrow 0$, dichas copias tienen todas la misma amplitud.

En el ejemplo de la figura 53 el espectro de la señal se encuentra limitado a una banda $\pm \omega_{\text{máx}}$, habiéndose elegido la tasa (angular) de muestreo ω_m de manera que

$$\omega_m > 2 \omega_{\text{máx}}.$$

Si se cumple esta condición, denominada **condición de Nyquist**, las “copias” del espectro original se encontrarán separadas, y entonces será cuestión relativamente sencilla recuperar la señal original mediante un filtro pasabajos suficientemente selectivo, vale decir, que sea capaz de eliminar las copias centradas en $\pm\omega_m, \pm 2\omega_m, \pm 3\omega_m$, etc. Este resultado se conoce como el **Teorema del Muestreo**.

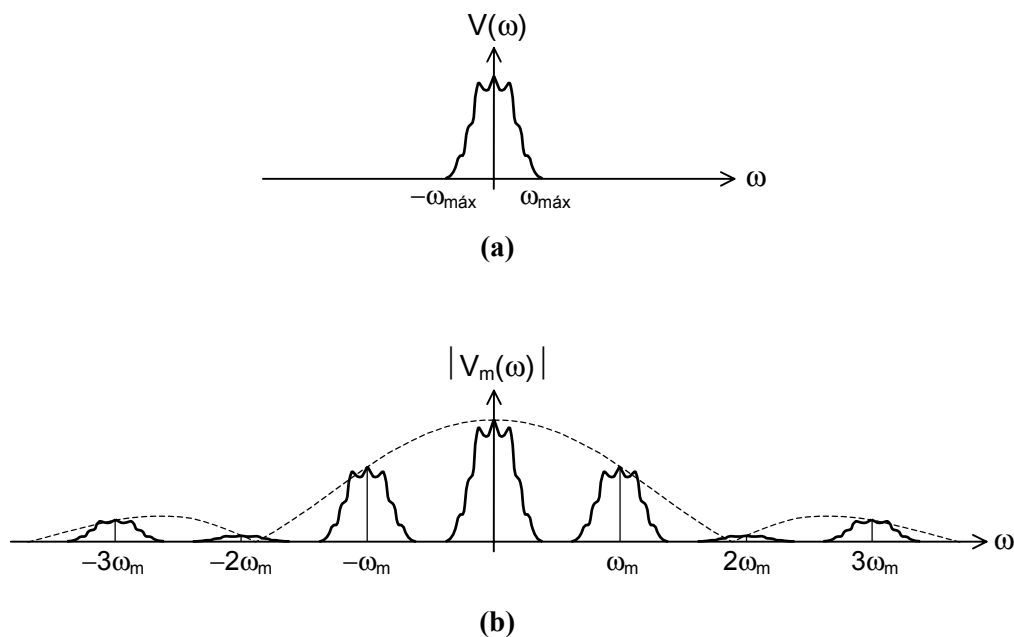


Figura 53. (a) Espectro de una señal, limitado a la banda de frecuencias $[-\omega_{\text{máx}}, \omega_{\text{máx}}]$. (b) Espectro de la señal muestreada con frecuencia de muestreo $\omega_m > 2\omega_{\text{máx}}$.

Si, en cambio, no se cumpliera la condición de Nyquist, como en el ejemplo de la figura 54, las copias se superpondrían entre sí, y ya no sería posible extraer la banda base (es decir, la correspondiente al espectro de la señal original), ya que sobre ella aparecerían residuos de las otras bandas. Si se pretendiera recuperar la señal por medio de

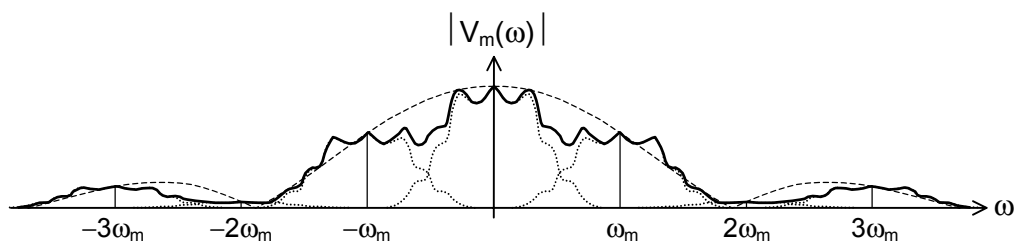


Figura 54. Espectro de una señal muestreada con frecuencia de muestreo $\omega_m < 2\omega_{\text{máx}}$.

un filtro pasabajos, aparecerían componentes de frecuencia correspondientes al extremo del espectro de la señal “reflejadas” sobre la frecuencia $\omega_m/2$. Por ejemplo, una frecuencia $\omega_m/2 + \Delta\omega$ se reflejaría como la frecuencia $\omega_m/2 - \Delta\omega$. Estas frecuencias se denominan “alias” de las correspondientes frecuencias originales, y el fenómeno se conoce con el término inglés *aliasing*. No existe ningún procedimiento que permita eliminar estas frecuencias alias sin eliminar simultáneamente otras frecuencias que podrían haber sido muestreadas genuinamente. En el ejemplo anterior, si elimináramos la frecuencia alias $\omega_m/2 - \Delta\omega$, también se eliminarían aquellas partes de la señal original que tuvieran precisamente esa frecuencia.

La frecuencia $f_m/2$ se denomina frecuencia de Nyquist, y el teorema del muestreo puede plantearse alternativamente de esta manera: sólo podrán recuperarse perfectamente las señales muestreadas a una frecuencia de muestreo f_m si su espectro no excede la frecuencia de Nyquist.

Obsérvese que no es suficiente con que las frecuencias **útiles** no vayan más allá de la frecuencia de Nyquist, ya que el fenómeno de *aliasing* no distingue las señales útiles de las que no lo son. Así, por ejemplo, las señales de audio no contienen frecuencias útiles por encima de los 20 kHz, por lo cual, idealmente, debería ser posible muestrearlas (sin mayor acondicionamiento previo) a una tasa de muestreo de 40 kHz. Ello no es así, sin embargo, ya que dichas señales contienen ruido de frecuencias superiores a 20 kHz (en algunos casos hasta de varios cientos de kHz). Dicho ruido es inaudible, pero al muestrearlo a una tasa de muestreo insuficiente se crearán frecuencias alias dentro de la banda útil que sí son audibles. Un tono de 38 kHz proveniente de la subportadora de una señal de FM estereofónica, por ejemplo, excede en 18 kHz la frecuencia de Nyquist correspondiente a este caso; por consiguiente, se reflejará como un alias de $20\text{ kHz} - 18\text{ kHz}$, es decir, un tono de 2 kHz, que es absolutamente audible.

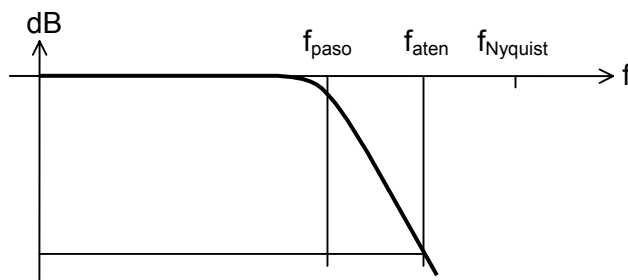


Figura 55. Respuesta en frecuencia de un filtro pasabajos antialias. La frecuencia de atenuación debe ser menor que la frecuencia de Nyquist.

La solución al problema planteado consiste en intercalar antes del muestreo un filtro pasabajos denominado **filtro antialias**, que reduce el ruido fuera de la banda útil a niveles despreciables. Dado que todo filtro real tiene una transición gradual entre la frecuencia de paso y la de atenuación (ver figura 55), la frecuencia de muestreo deberá ser bastante mayor que el doble de la máxima frecuencia útil. Por ejemplo, en audio digital se toma $f_m = 44,1\text{ kHz}$ en lugar de 40 kHz. La frecuencia de Nyquist vale, en este caso, 22,05 kHz, lo cual permite un margen de unos 2 kHz para la transición del filtro. La atenuación del filtro antialias por encima de la frecuencia de Nyquist debe ser suficiente para garantizar que el ruido creado por las frecuencias alias sea aceptable. En el caso típico en que las muestras son ulteriormente digitalizadas, bastaría con que dicho ruido resulte menor que 0,5 LSB, ya que en ese caso no podrá ser discriminado por el conversor analógico digital.