

**Introducción a los  
dispositivos de lógica programable  
en campo (FPGA)**

*Laboratorio de diseño digital*

**MARÍA ISABEL SCHIAVON - 2005**

# RESEÑA HISTORICA

1907



1950



1958



~60 MSI

~70 LSI  $\Rightarrow$  microprocesador

~80 circuitos de muy gran escala de integración (VLSI)

Silicon foundries

microelectrónica

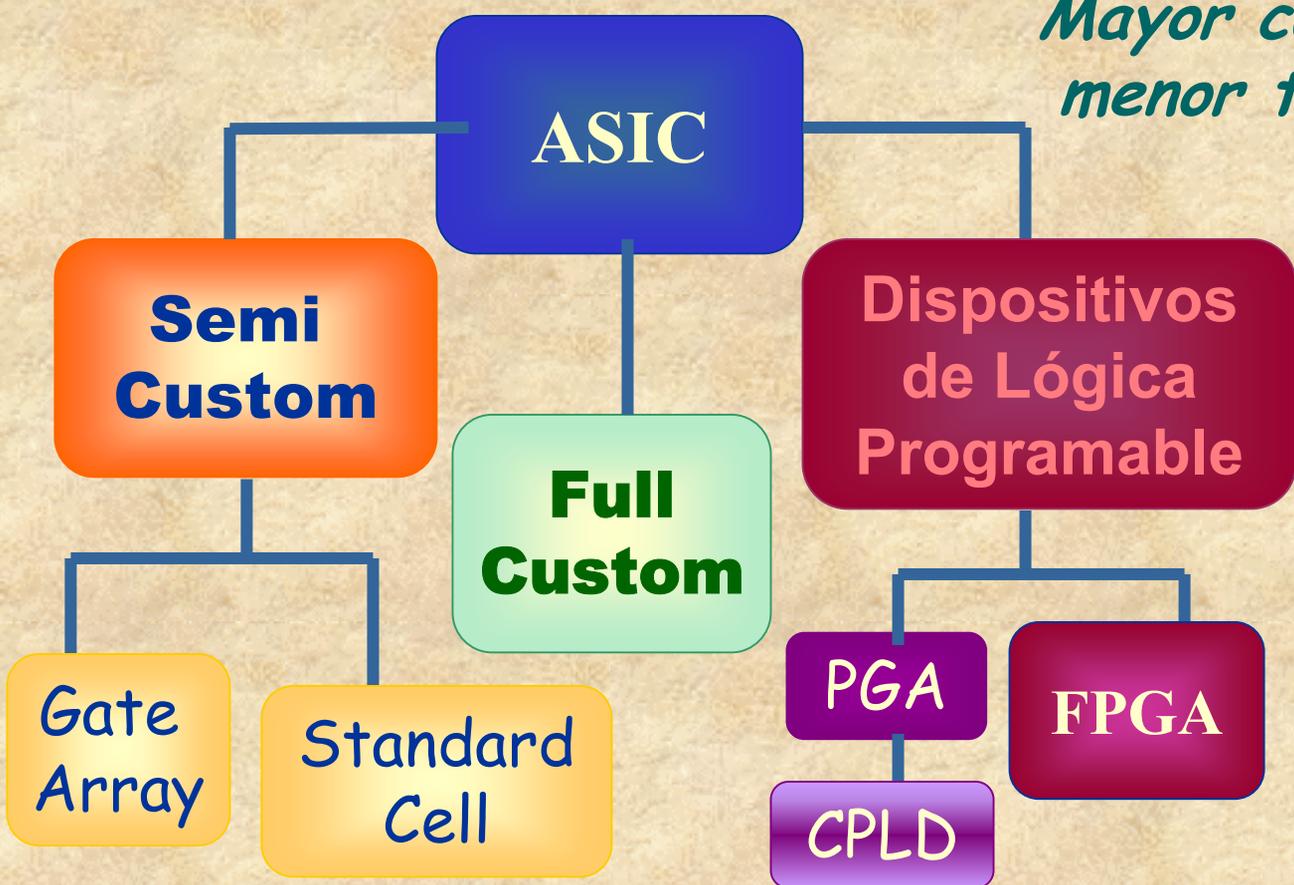
full-custom

semi-custom

ASIC

FPGA

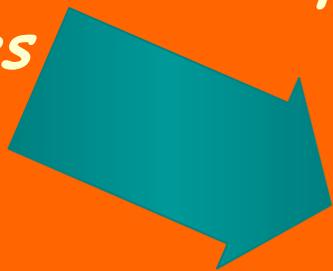
lógica programable en campo



*Mayor complejidad y menor tamaño en un solo chip*

*Menor requerimiento de potencia*  
*Respuesta optimizada para la tarea específica*

*menor cantidad de componentes y de conexiones*



**Mayor confiabilidad**

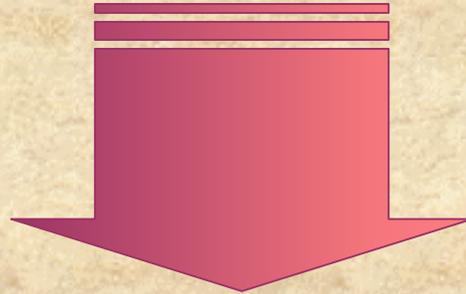
*menor posibilidad de fallas*

*Simplicidad de mantenimiento*

# Dispositivos de Lógica Programable



Se busca flexibilidad de los dispositivos



Que el usuario personalice un dispositivo standard



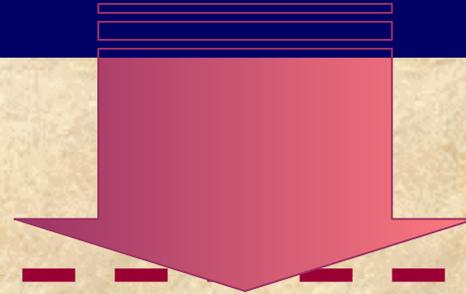
La personalización tiene distintos niveles de complejidad, pero siempre es externa a la fundición de silicio

# Dispositivos de lógica programable.

**Simplifican el diseño**

**Menor tiempo de proyecto**

DLP



Facilitan la complejidad creciente en los diseños  
Reducen costos para bajas escalas de producción



diseños personalizados aún para  
escalas de producción bajas

# Dispositivos de lógica programables

PGA -CPLD

Arreglos de compuertas programables (PLD) en un chip

*PLA: Programmable Logic Arrays*

*Dos planos programables*

*PAL: Programmable Arrays of Logic*

*Un plano programable*

programación mediante la  
conexión o desconexión  
de fusibles

**CPLD**

CMOS, mayor nivel de integración

Interconexiones internas reprogramables

mayor flexibilidad  
menor costo/riesgo diseño

Mayor  
complejidad

Fácil  
modificación

# ¿qué es una fpga?

FPGA

**PLD**

**+**

**GA**



Alto nivel de integración  
Menor costo  
Reutilizables

Arreglo de:

- bloques lógicos con función programable externamente
- conexiones internas programables
- celdas de I/O configurables

- 1 CLB
- 2 IOB
- 3 Conexiones

**Recursos controlados por una configuración programable**

Combinan la velocidad del hardware con la flexibilidad del software

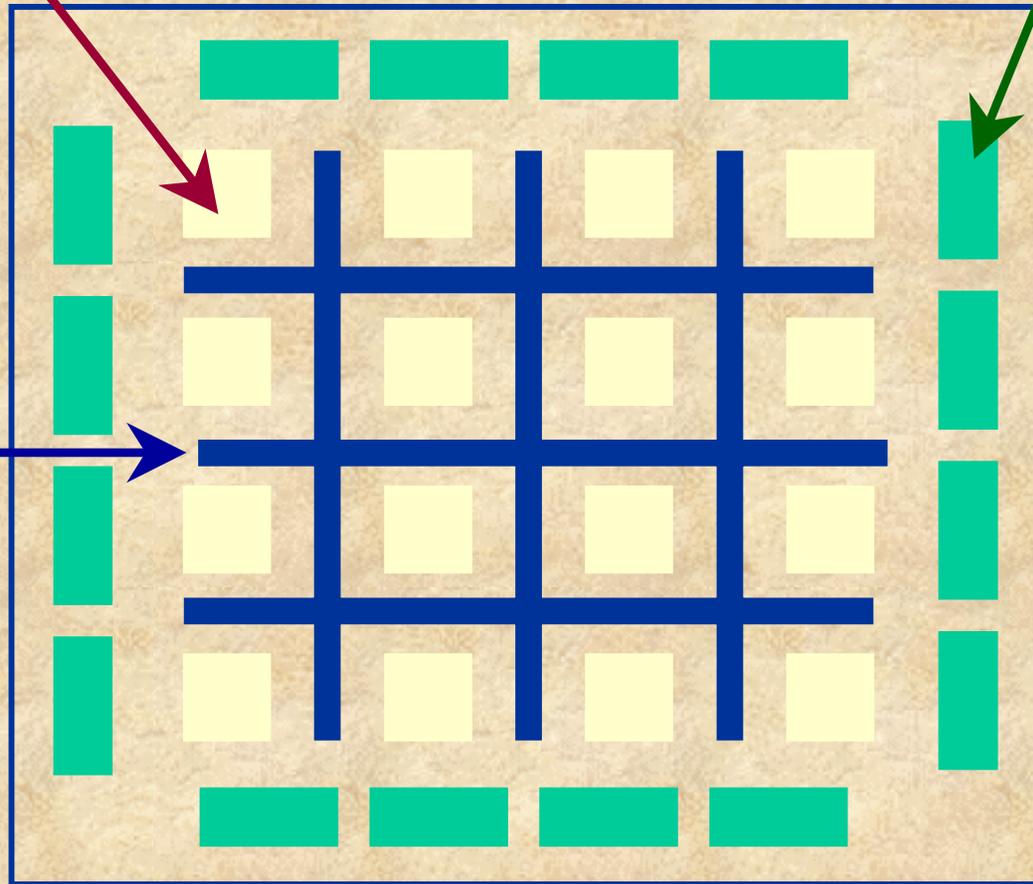
F  
P  
G  
A

# Esquema General FPGA

Bloques lógicos  
Programables  
(CLB)

Bloques I/O

Líneas  
interconexión



**Programación  
permanente  
(OTP)**

**ANTIFUSIBLES** No son reprogramables  
Proceso CMOS no convencional  
Mejor aprovechamiento del área  
Mayor nivel de integración  
Resistencias y capacidades parásitas bajas

## **Reprogramables**

### **Celdas SRAM**

Tecnología CMOS standard. Volátiles. Mayor área  
Bajos retardos en operación. Reconfigurable en campo

### **Tecnología EPROM:**

No son programables en campo  
Área pequeña

### **Tecnología EEPROM**

Ocupa doble área EPROM.  
Se reprograma en campo(mayor complejidad que SRAM)

**No volátiles**

# Características de las FPGA

- ✓ Configurables y reconfigurables en campo, sin intervención de la fundición de silicio
- ✓ Permiten encarar I+D aunque las especificaciones no estén maduras
- ✓ Obtención rápida de prototipos
- ✓ Facilidad de corrección de errores
- ✓ Bajo tiempo y costo de desarrollo
- ✓ Capacidad y versatilidad crecientes

Principales proveedores: XILINX : <http://www.xilinx.com>

ALTERA: <http://www.altera.com>

# SPARTAN II (XILINX)

Alta performance con abundantes recursos lógicos y bajo precio

Tecnología VIRTEX de 2a generación

Re-programación ilimitada

LUT de 16 bits para RAM distribuida

4Kbit de RAM configurable

Interface rápida entre RAM externa e interna

Interconexión segmentada de baja disipación

Operaciones aritméticas de alta velocidad (acarreo y multiplicadores dedicados)

Admite encadenamiento de entradas de funciones

Bloques de control y líneas de conexión especiales para el reloj

Disponibilidad de sistemas de desarrollo que incluyen todas las etapas de diseño ( $\Rightarrow$ ISE) y de programación ( $\Rightarrow$ XESS)

CMOS 0,13micras de  
nueve capas de metal

# Arquitectura VIRTEX básica

CL	DLL	IOB	IOB	DLL	IOB	IOB	DLL	IOB	IOB	DLL	CL
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
I O B	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	CLB	CLB	B R A M	I O B
CL	DLL	IOB	IOB	DLL	IOB	IOB	DLL	IOB	IOB	DLL	CL

**IOBs:**

bloques de entrada/salida  
Nexo entre pines y la lógica interna

**Input output  
blocks**

**CLBs:***Control logic blocks*

Elementos funcionales que permiten  
implementar la lógica

*Delay-locked loops*

**DLLs:**

Compensan los retardos  
en la distribución del reloj

*Bloques  
especialmente  
dedicados*

Zonas de  
memoria RAM

Estructura de interconexión

**Versátil y  
multinivel**

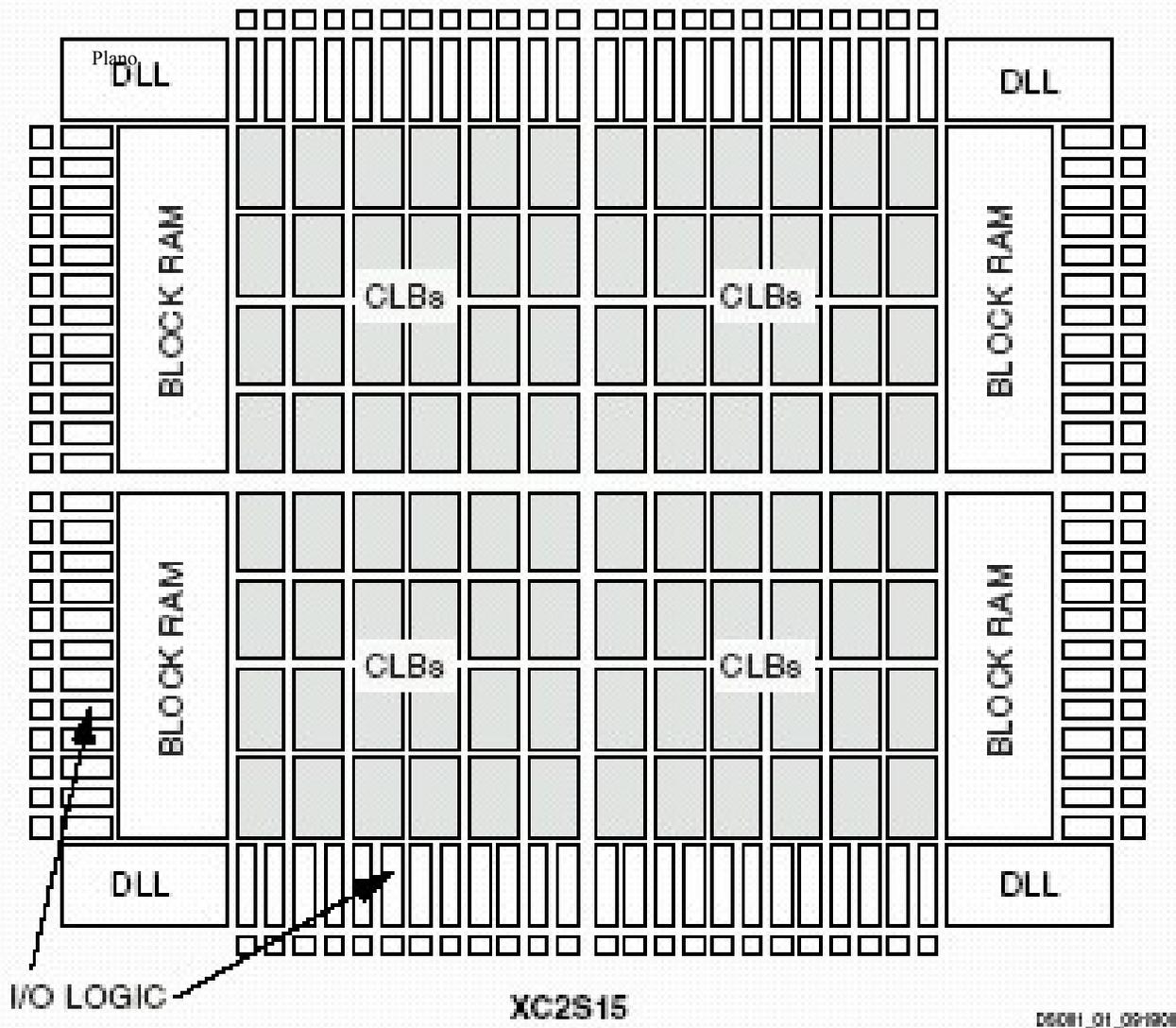


Figure 1: Basic Spartan-II Family FPGA Block Diagram

# SPARTAN II FAMILY

DEVICES	LOGIC CELLS	SYSTEM GATES	CLBS	USER I/O	BLOCK RAM BITS
<b>XC2S15</b>	432	15,000	96	86	16K
<b>XC2S30</b>	972	30,000	216	132	24K
<b>XC2S50</b>	1728	50,000	384	176	32K
<b>XC2S100</b>	2700	100,000	600	196	40K
<b>XC2S150</b>	3888	150,000	864	260	48K
<b>XC2S200</b>	5292	200,000	1,176	284	56K

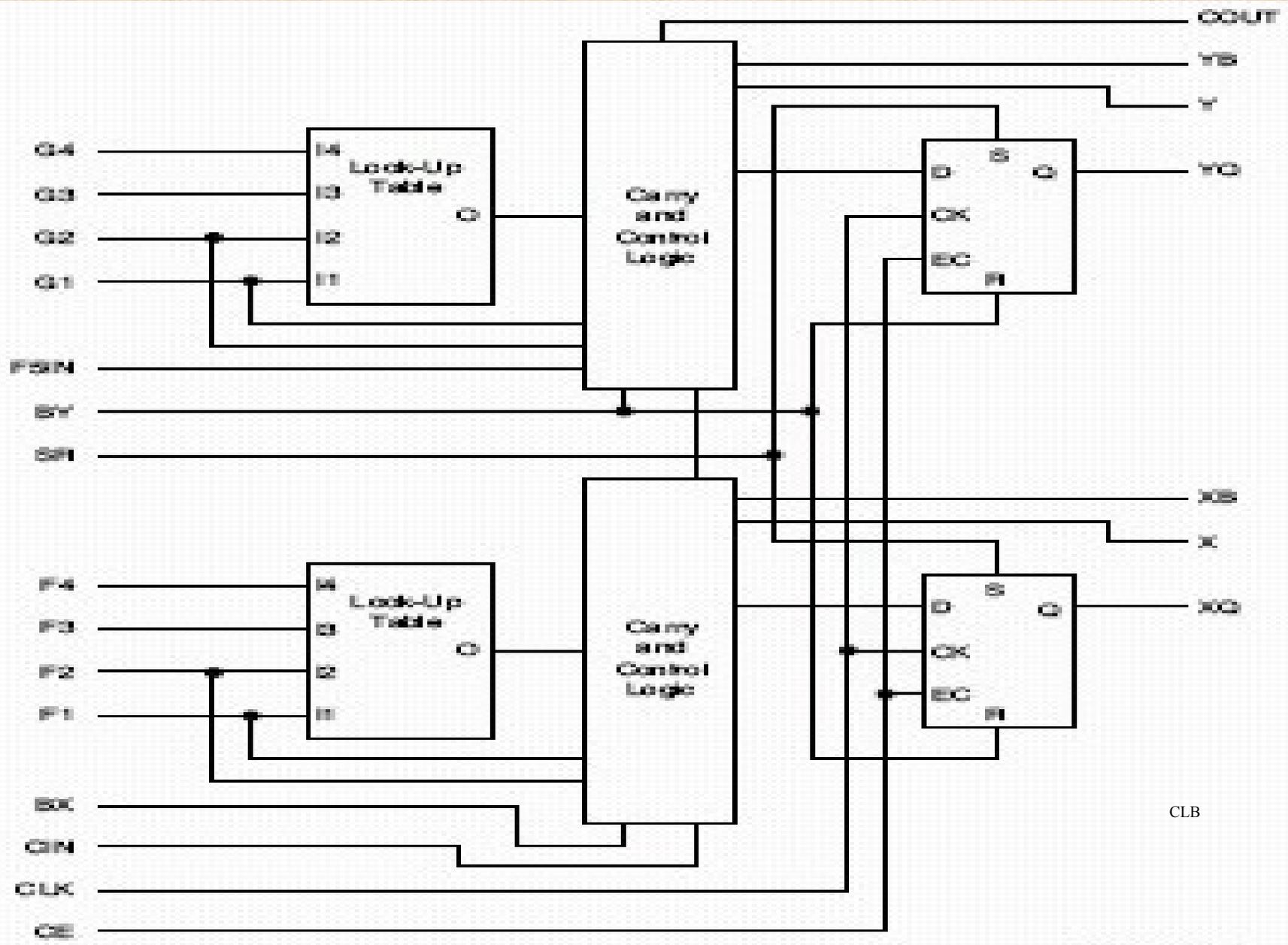
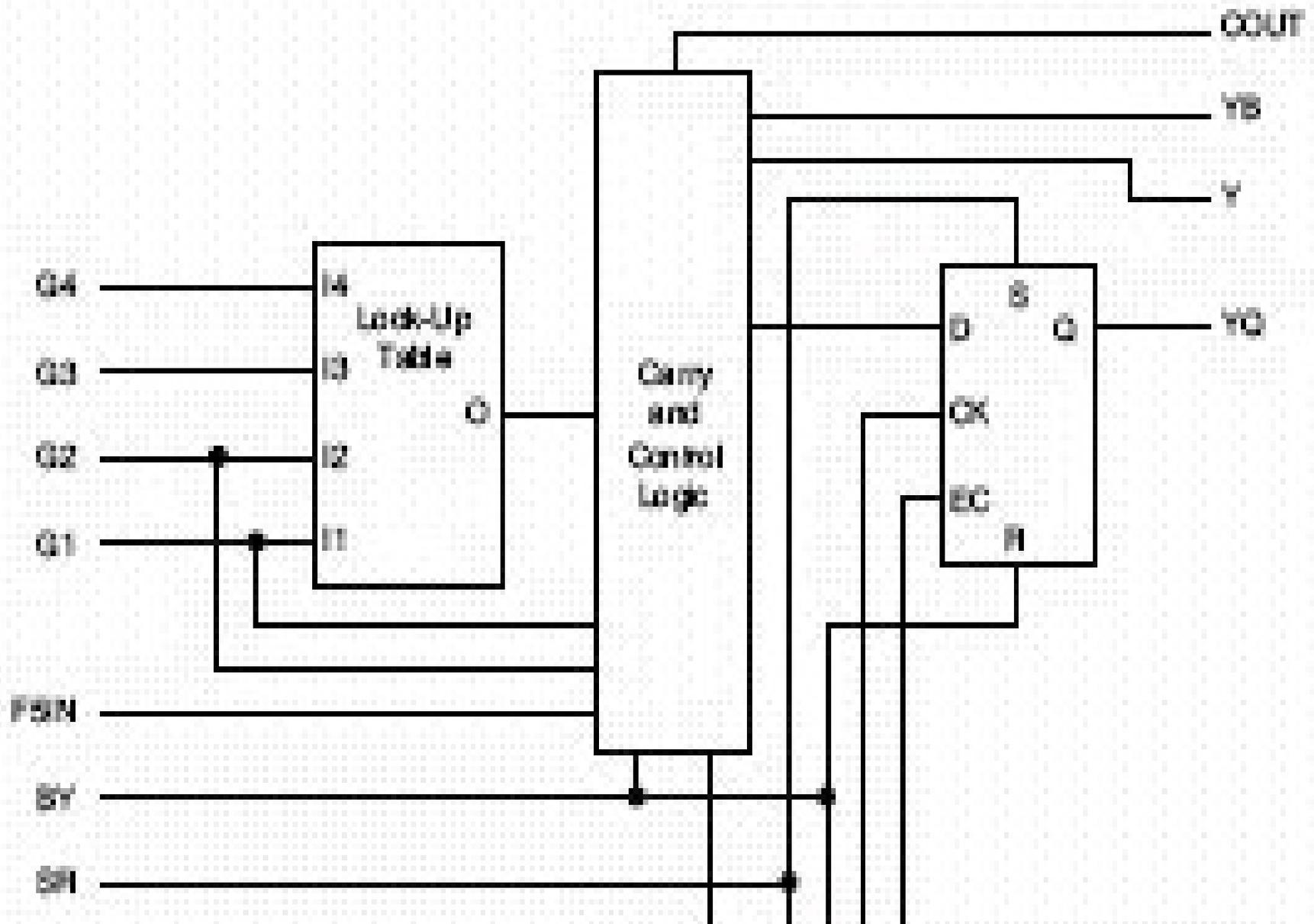
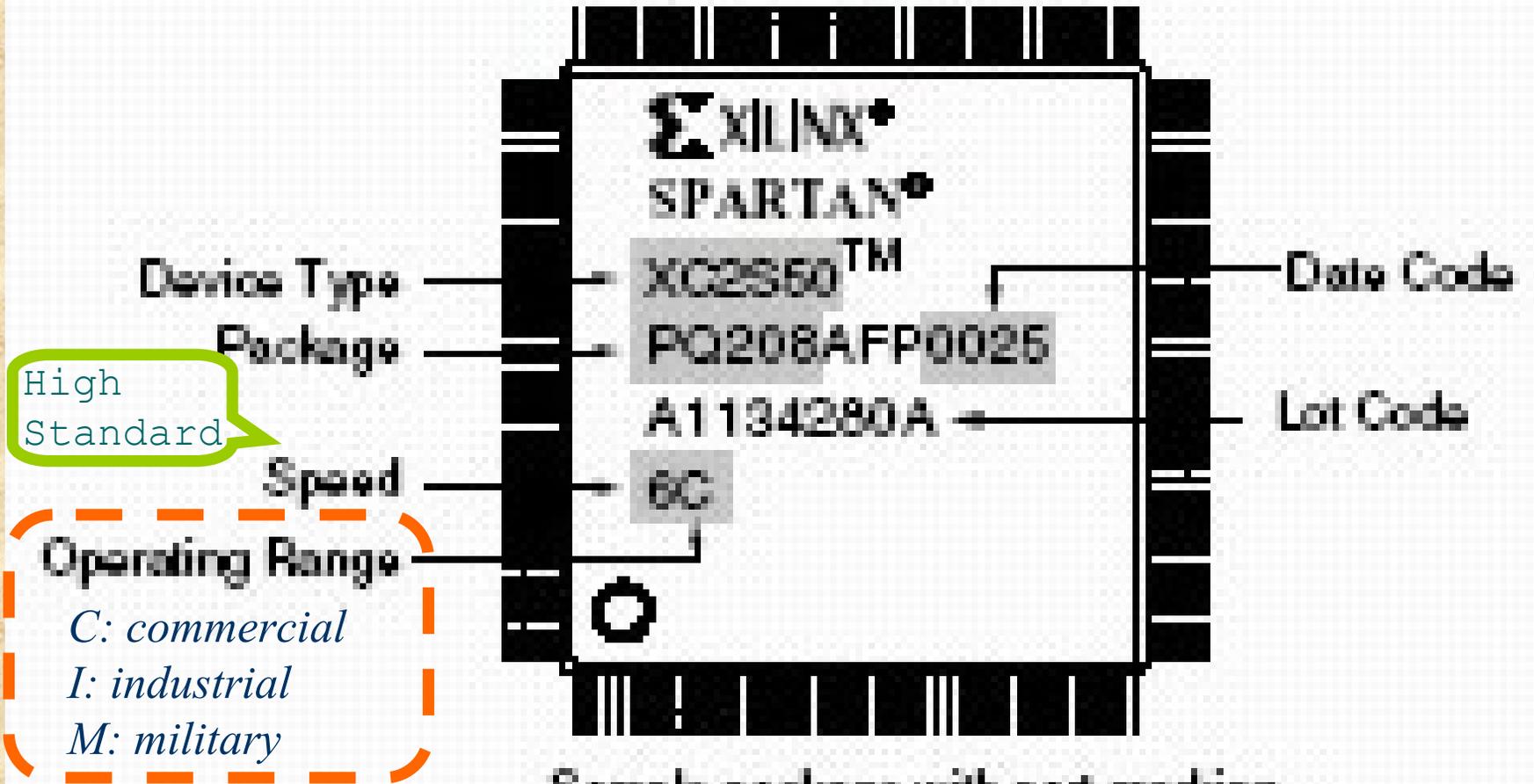


Figure 3: Spartan-II CLB Slice (two identical slices in each CLB)





Sample package with part marking for XC2S50-6PC208C.

Packaging

**Especificación**

descripción y análisis de costo  
especificaciones funcionales y métricas  
tecnología a utilizar, estrategia de diseño  
organigrama de trabajo  
estrategias de prototipación, ensayo y verificación.

**Concepción**

definición y verificación  
de la arquitectura  
diseño lógico y verificación  
diseño circuitual y verificación

**Implementación  
de prototipos**

**ensayo,  
verificación  
funcionamiento  
y caracterización**

Etapas de diseño

# Concepción:

**1.Descripción HDL:** por ejemplo VHDL, también puede utilizarse un diagrama esquemático.

**2.Síntesis lógica:** transforma la descripción en una descripción de compuertas interconectadas (netlist)

**3.implementation tools:** para mapear la lógica en la FPGA. Los CLB son descompuestos en LUT. La herramienta toma el netlist y los asigna por grupos en LUTs para luego asignarlos a CLBs específicos.

**4.Bitstream:** estado de las llaves

**5.Configuración de la FPGA.** Las llaves de la FPGA se cierran o abren de acuerdo al bitstream para cumplimentar las acciones especificadas.

**6.Verificación de funcionamiento por simulación**

Ambiente de trabajo ISE: software que incluye todas las herramientas necesarias para realizar y verificar el diseño

XSTOOLS (XESS) provee las utilidades para bajar la programación a la FPGA contenida en una XSBoard

Ensayo con visualización de señales,  
se introducen entradas y se observan las salidas

*CPLD XC9572: controla la interface con el puerto paralelo de la PC así como la programación de la Flash RAM.*

*Oscilador: genera la señal de reloj para el CPLD y la FPGA (Dallas DS1075, oscilador programable de frecuencia máxima 100MHz). Puede ser reemplazado por un reloj externo*

**Flash RAM (256KB) conectada a la FPGA y el CPLD**

**SDRAM (16 MB) conectada a la FPGA**

**Display de 7 segmentos que comparte el bus de datos c/Flash RAM**

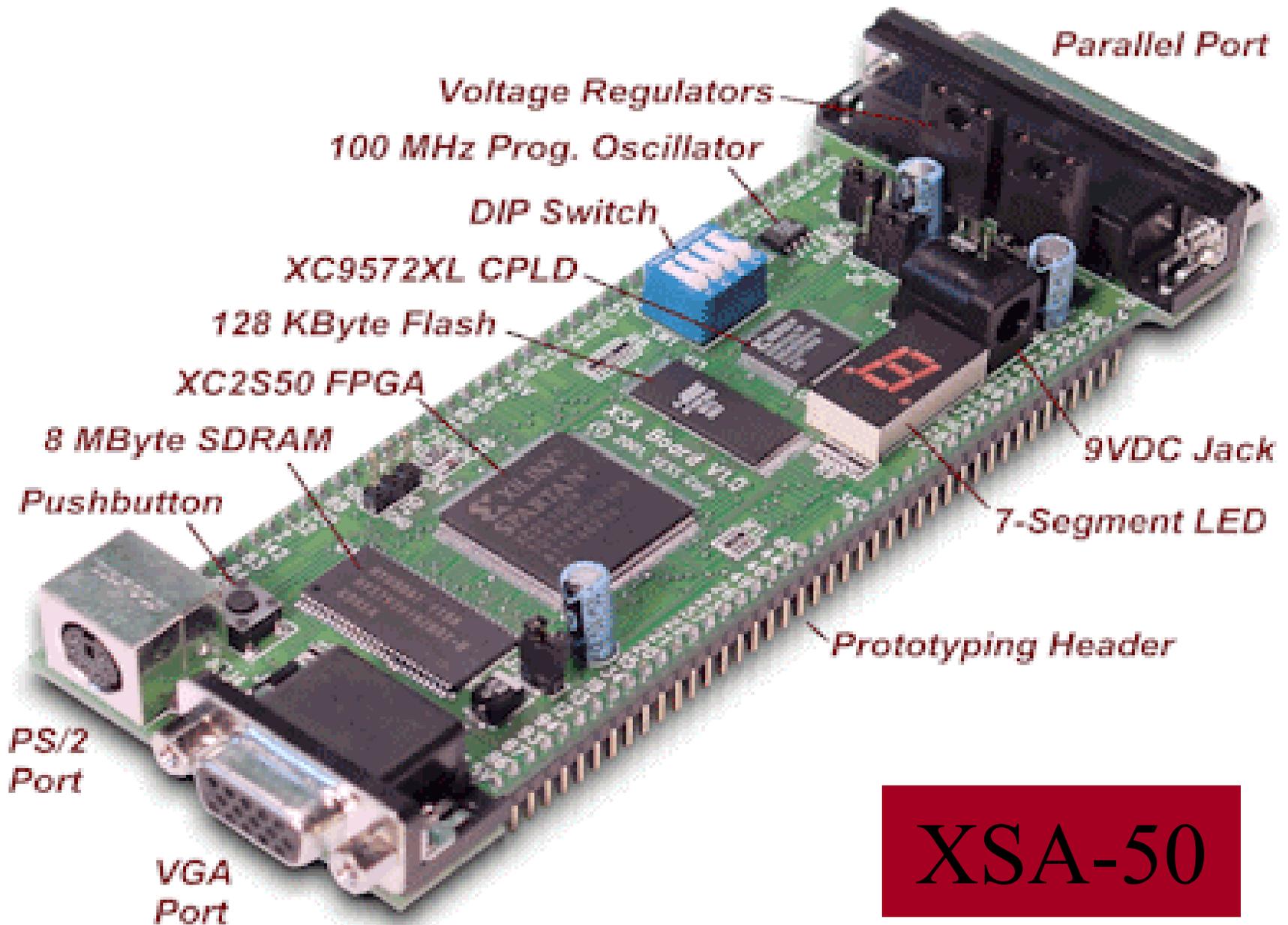
*4 DIP switch: cerrados conectan pins de la FPGA y del CPLD a tierra.*

**Pulsador**

**Puerto paralelo**

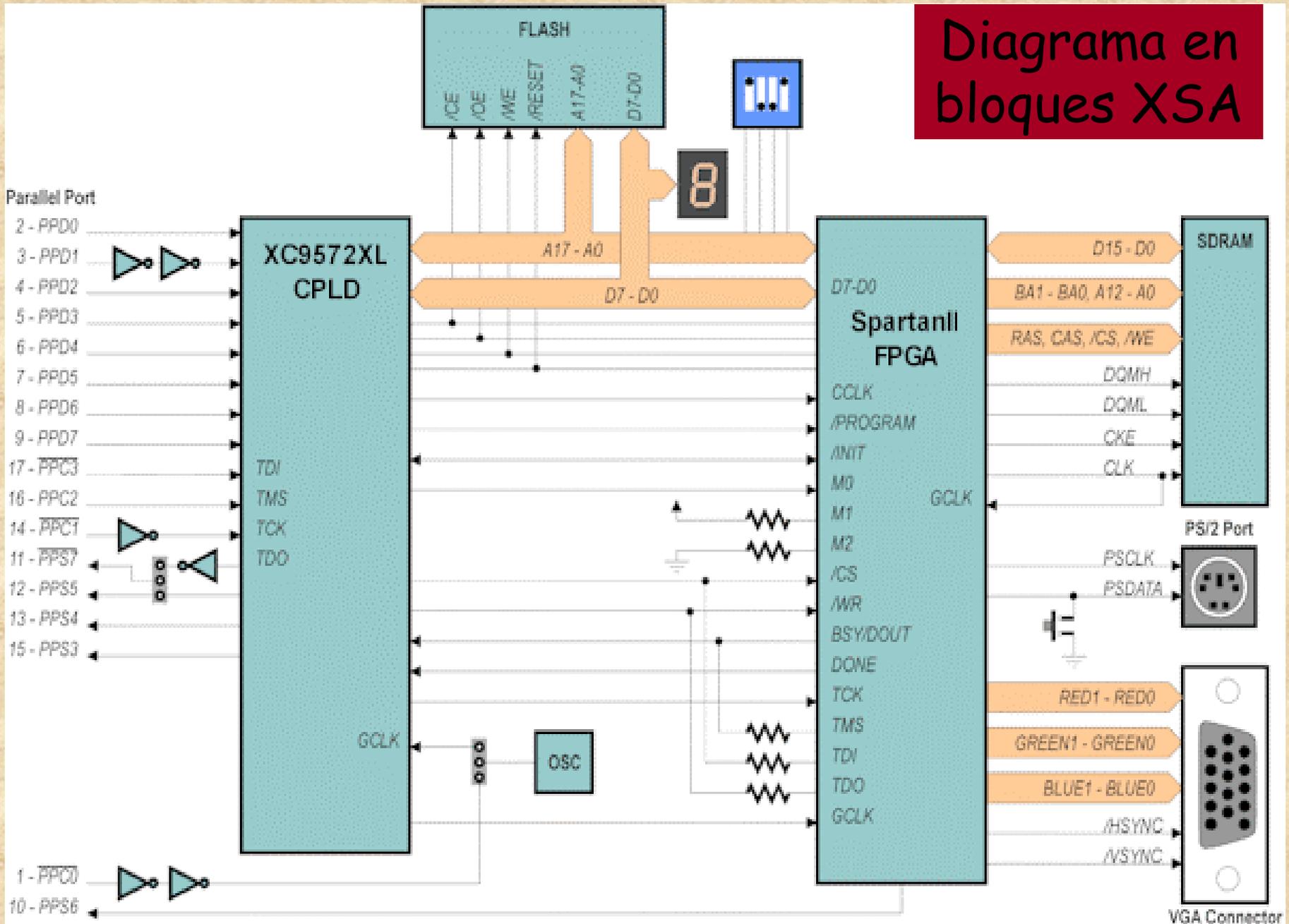
**Puerto PS72 PARA TECLADO O MOUSE**

**Puerto para monitor VGA**

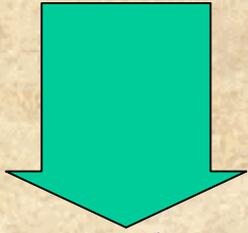


# XSA-50

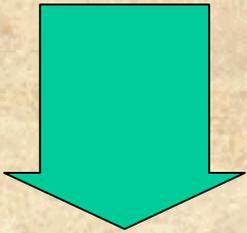
# Diagrama en bloques XSA



<http://www.xilinx.com>



[/products/design\\_resources/design\\_tool/index.htm](http://www.xilinx.com/products/design_resources/design_tool/index.htm)



WebPack

<http://www.xess.com>

<http://www.altera.com>