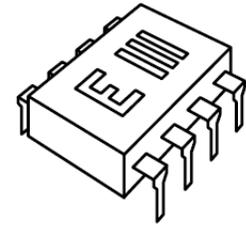




Universidad Nacional de Rosario
Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Escuela de Ingeniería Electrónica
Departamento de Electrónica



ELECTRÓNICA III

SIMULACIÓN MATEMÁTICA Y CIRCUITAL DEL PLL

Ezequiel A. Mignini

Fernando A. Marengo Rodriguez

AÑO 2009

Riobamba 245 bis
2000 Rosario
Argentina

<http://www.fceia.unr.edu.ar/enica3>
TEL 0341 4808543
FAX 0341 4802654

1. Introducción

En el presente documento se simula el comportamiento de un PLL comercial con un modelo matemático y con otro circuitual. El PLL bajo estudio es el *HCT4046* funcionando como demodulador de señal FM. En dicha señal, su frecuencia oscila alrededor de la portadora de $f_0 = 10$ kHz en una cantidad $\pm f_L = 2,5$ kHz a una tasa de $f_{mod} = 200$ Hz.

2. Diagrama funcional y modos de configuración del HCT4046

En la Fig. 1 puede verse el diagrama funcional del CI *HCT4046*. Su estructura interna consta de un VCO y de 3 comparadores de fase distintos. Para la resolución de este problema se propone utilizar el comparador número uno, el cual se implementa mediante una OR-exclusiva (para mayores detalles sobre este tipo de comparador, consultar [1]).

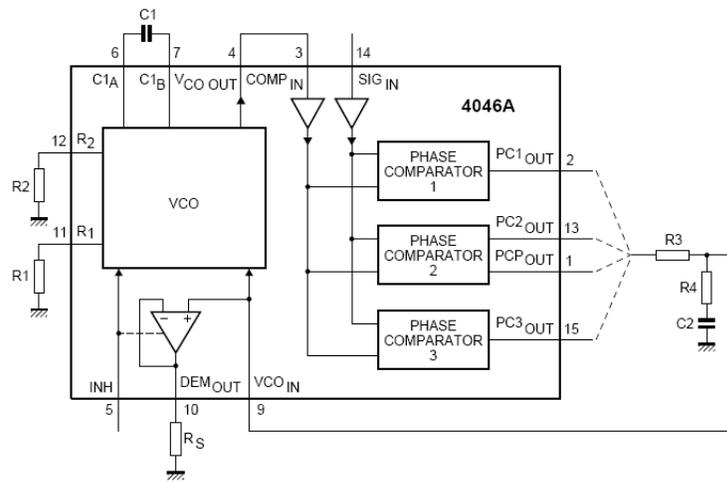


Figura 1: Diagrama funcional del HCT4046.

Existen dos formas distintas para la configuración del VCO. Éste puede utilizarse con o sin offset de frecuencia, dependiendo del rango de enganche necesario. Si se desea que el PLL sea más sensible ante cambios en la frecuencia de la señal de entrada, conviene diseñar una frecuencia mínima de oscilación f_{off} o frecuencia de offset no nula. En cambio, si se desea ampliar el rango de enganche, conviene no definir una frecuencia mínima para la salida del VCO. En la Fig. 2 se ilustra la diferencia entre ambos modos.

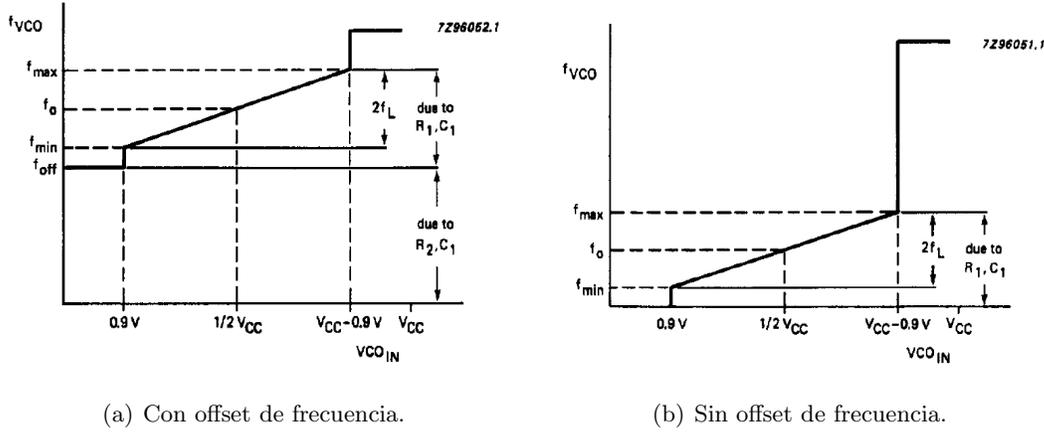


Figura 2: Modos de configuración del VCO en el HTC4046.

3. Resolución del problema propuesto

El diseño del circuito se realizó siguiendo la secuencia de pasos detallada en la hoja de datos del HCT4046. En primer lugar se diseñaron los componentes R_1 , R_2 y C_1 que se conectan al VCO. Como la señal a modular es de banda angosta, planteamos configurar el VCO con offset de frecuencia. Siendo $2f_L = 5$ kHz y la tensión de alimentación del PLL adoptada de $V_{cc} = 5$ V, mediante la Fig. 31 de [2] se obtiene que $\tau_1 = R_1 C_1 = 1,5$ ms. Por otra parte, la frecuencia de offset se calcula desde la hoja de datos como $f_{off} = f_0 - 1,6f_L = 6$ kHz. Los componentes R_2 y C_1 se determinan a través de la Fig. 30 de [2], resultando $R_2 = 150$ k Ω y $C_1 = 100$ nF. Finalmente, el otro resistor es de $R_1 = \tau_1 / C_1 = 15$ k Ω .

El comparador de fase adoptado posee una ganancia de

$$K_p = \frac{V_{cc}}{\pi} = 1,5915 \frac{\text{V}}{\text{rad}}, \quad (1)$$

y el VCO tiene una ganancia de

$$K_v = \frac{2\pi \times 2f_L}{(V_{cc} - 0,9) - 0,9} = 9817,47 \frac{\text{rad/s}}{\text{V}}. \quad (2)$$

El filtro pasa bajos debe suprimir eficientemente la componente de alta frecuencia a la salida del comparador de fase (que es de frecuencia igual a la frecuencia suma de las señales de entrada en dicho comparador). A raíz de lo pequeño que es el índice de modulación de la FM a decodificar, se decide utilizar un filtro de polo-cero. Un beneficio adicional de esta adopción es la sintonía independiente de los parámetros lineales ξ y ω_n . Por un lado, se decide que la respuesta temporal del filtro sea máximamente plana por lo que $\xi = \frac{1}{\sqrt{2}}$. Por otro lado, se elige un valor para ω_n que: (a) sea relativamente pequeño a fin de evitar el paso de la frecuencia suma (la cual es próxima a $2\omega_i$), y (b) que sea lo suficientemente grande para permitir el paso de la máxima tasa con la que varía la frecuencia. Por esta razón, adoptamos $\omega_n = 2\pi \cdot 2000$ rad/s.

Siendo R_3 , R_4 y C_2 los componentes del filtro PB antes mencionado, el coeficiente de amortiguamiento se vincula con los parámetros circuitales según la siguiente expresión

$$\xi = \frac{1}{2\omega_n} \frac{1 + K_p K_v \tau_2}{(\tau_1 + \tau_2)}, \quad (3)$$

donde $\tau_1 = R_3 C_2$ y $\tau_2 = R_4 C_2$. Asimismo, la frecuencia natural está dada por

$$\omega_n = \sqrt{\frac{K_p K_v}{(\tau_1 + \tau_2)}}. \quad (4)$$

Despejando de la Ec.(4), resulta $(\tau_1 + \tau_2) = 98 \mu\text{s}$. Eligiendo $C_2 = 10 \text{ nF}$, se obtiene R_4 a partir de la Ec.(3), resultando

$$R_4 = \frac{[(\tau_1 + \tau_2)2\omega_n\xi] - 1}{K_p K_v C_2} = 4746,45 \text{ k}\Omega \approx 4,7 \text{ k}\Omega, \quad (5)$$

mientras que R_3 es

$$R_3 = \frac{(\tau_1 + \tau_2) - R_4 C_2}{C_2} = 5,1 \text{ k}\Omega \approx 5,6 \text{ k}\Omega. \quad (6)$$

4. Simulación matemática del sistema

Con los valores obtenidos en la sección previa, se simuló el sistema con el modelo matemático expuesto en la Fig. 3. En la misma, el multiplicador precedido por las funciones *signo* representa la compuerta XOR, el bloque de ganancia K_p representa el detector de fase, y la tensión de salida oscila alrededor de $V_{cc}/2$, razón por la cual se agregaron los sumadores. Los parámetros pertinentes de simulación son los siguientes:

- Intervalo temporal de simulación suficientemente breve ($0 < t < 0,05 \text{ s}$).
- Algoritmo de paso variable, dado que el sistema posee dinámicas lentas y rápidas. Adoptamos *ode45*.
- Error de tolerancia relativo $1\text{e-}5$.
- Factor de refinamiento igual a 8.

Ante una señal FM de entrada cuya moduladora es una señal senoidal de 200 Hz, se logra enganchar al PLL aunque su salida contiene ruido de alta frecuencia. Dichas señales se observan en la Fig. 4. Cabe aclarar que se debe filtrar el ruido a la salida del sistema con un PB, pero esta aplicación no se muestra ya que escapa al propósito de este trabajo.

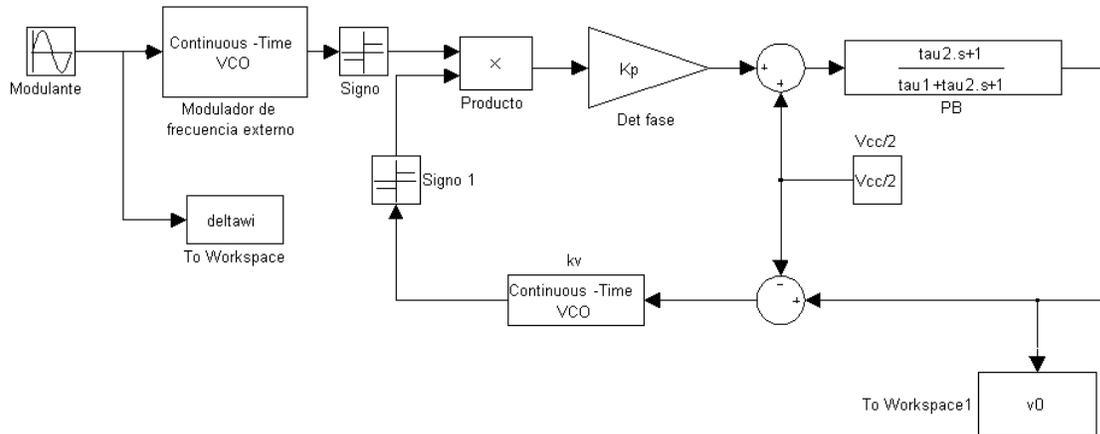


Figura 3: Modelo matemático del PLL HCT4046.

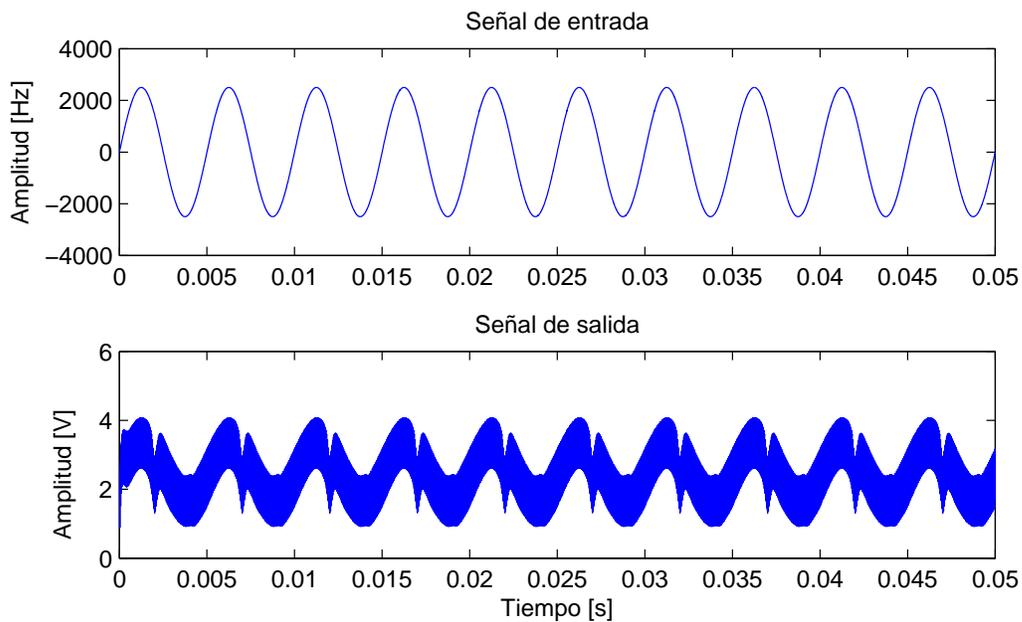


Figura 4: Señales de entrada y salida del PLL simulado con el modelo matemático.

5. Simulación circuital

La simulación circuital se llevó a cabo con el software *Proteus* [3]. Este programa es una herramienta muy poderosa que permite ver el funcionamiento de un circuito, su respuesta temporal y frecuencial y otras cuestiones fundamentales a la hora de realizar un proyecto electrónico. El circuito pertinente se expone en la Fig. 5.

Dentro del software se editaron las propiedades del HTC4046 a fin de configurar la frecuencia de offset y el rango de frecuencia del VCO. Para lograr un correcto funcionamiento, hemos

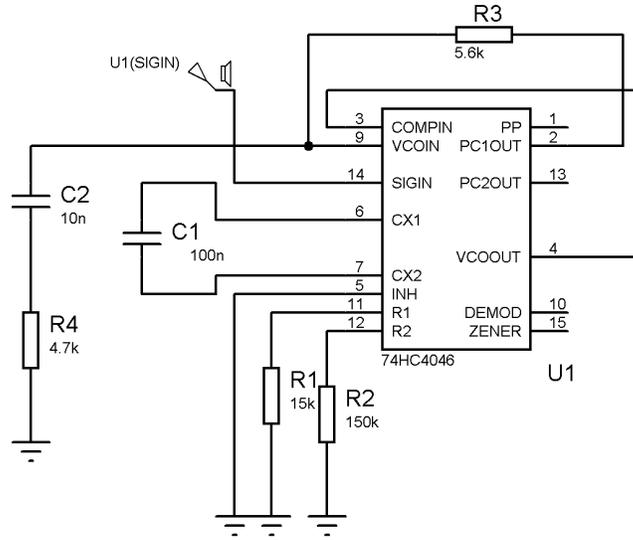


Figura 5: Circuito implementado.

configurado el rango de frecuencia de entrada igual a la máxima presente, es decir que $f_{max} = f_0 + f_L = 12,5$ kHz. A fin de corroborar el funcionamiento del circuito se lo probó con señales senoidales de distintas frecuencias, una de las cuales fue 200 Hz. En la Fig. 6 se grafica esta señal y la obtenida a la entrada del VCO. Tal como en la sección anterior, se observa que esta última secuencia posee una componente senoidal de período 5 ms, y otra correspondiente a ruido de alta frecuencia.

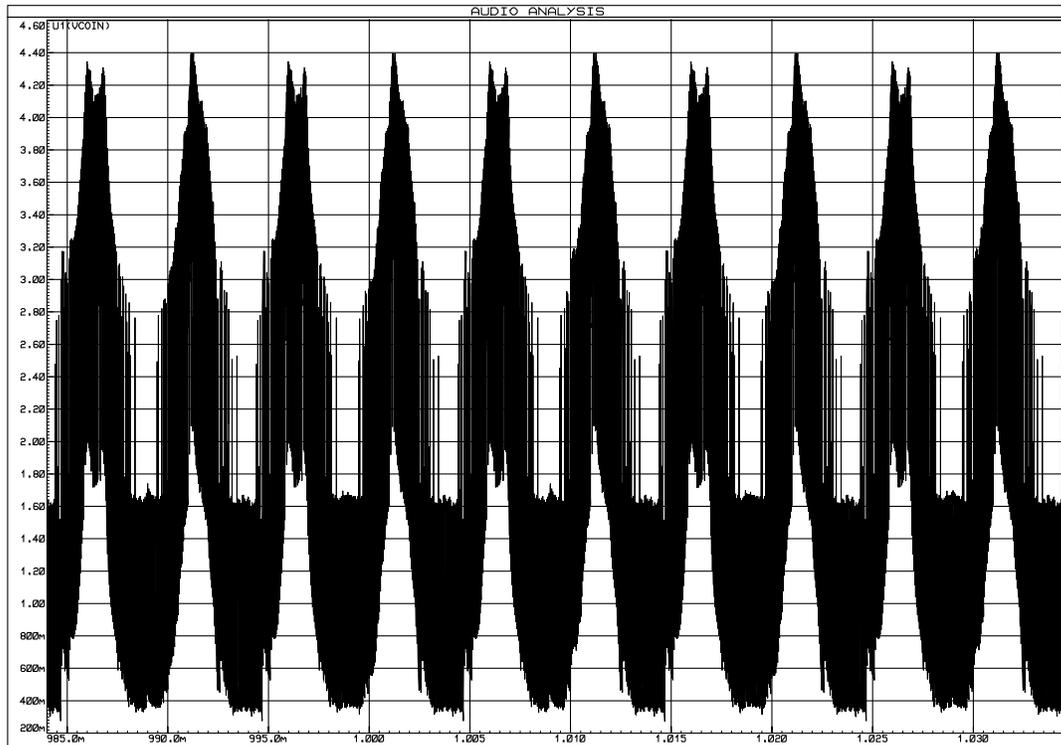


Figura 6: Señal de entrada al VCO ante un estímulo de frecuencia modulada.

6. Conclusiones

Se ha propuesto un sistema decodificador de señales FM de banda angosta basado en el PLL HT4046, habiéndose logrado un diseño simple, eficiente y con pocos componentes. Los resultados de la simulación matemática y circuital son mutuamente consistentes, lo que corrobora que el PLL analizado se puede aproximar por un modelo matemático de baja complejidad con bastante buena aproximación. La eficiencia del demodulador propuesto se corroboró mediante estímulos con señales de banda angosta en el software de simulación de circuitos.

Referencias

- [1] F. Miyara, "PLL lazos de fijación de fase." <http://www.fceia.unr.edu.ar/enica3/pll.pdf>, 2005.
- [2] P. Semiconductors, "74HC/HCT4046A phase-locked-loop with VCO Datasheet." www.nxp.com/acrobat_download/datasheets/74HC_HCT4046A_CNV_2.pdf, 1997.
- [3] Proteus, "Software de simulación circuital Proteus." www.labcenter.co.uk.