

# Familias Lógicas

## 3.1 Características Generales

Una familia lógica es un conjunto de circuitos integrados que implementan distintas operaciones lógicas compartiendo la tecnología de fabricación y en consecuencia, presentan características similares en sus entradas, salidas y circuitos internos. La similitud de estas características facilita la implementación de funciones lógicas complejas al permitir la directa interconexión entre los chips pertenecientes a una misma familia.

Teniendo en cuenta el tipo de transistores utilizados como elemento de conmutación, las familias lógicas pueden dividirse en dos grandes grupos: las que utilizan transistores bipolares y las que emplean transistores MOS.

La primera familia lógica en aparecer en el mercado, a principios de la década del 60, fue implementada con lógica de transistores bipolares acoplados por emisor (ECL, Emitter Coupled Logic). A fin de desarrollar circuitos de alta velocidad los transistores conducen en zona activa y de esta manera se minimiza el tiempo de conmutación entre conducción y corte. Casi inmediatamente aparecieron otras familias lógicas basadas en transistores bipolares conmutando entre corte y saturación a fin de reproducir dentro de un chip los circuitos que hasta ese momento se realizaban utilizando componentes discretos. La primera de estas familias fue implementada con resistencias y transistores bipolares y se la identifica como lógica RTL (Resistor Transistor Logic). La integración de resistencias demanda gran cantidad de área de silicio, reduciendo la cantidad de compuertas que se podían incluir dentro de un mismo chip. Para mejorar el aprovechamiento del área algunas resistencias de los circuitos comenzaron a ser reemplazadas por diodos, principalmente en las etapas de entrada, dando lugar a la aparición de la lógica de diodos y transistores identificada como DTL (Diode Transistor Logic). Finalmente, los transistores multiemisor reemplazaron los diodos y se llegó a una topología circuital que dio lugar a una familia lógica basada fundamentalmente en transistores bipolares y una mínima cantidad de resistencias. Esta familia, denominada lógica TTL (Transistor Transistor Logic), se popularizó rápidamente y mantiene, aún en la actualidad, su vigencia.

Con el correr del tiempo la familia TTL se convirtió en un conjunto de familias lógicas que si bien entre sí difieren en velocidad, consumo de energía y costo, mantienen características de entrada y salida compatibles de manera que en un sistema digital pueden mezclarse componentes de distintas familias TTL.

Los principales inconvenientes de los circuitos con transistores bipolares son el alto consumo y, como consecuencia, la baja escala de integración admisible (cantidad de dispositivos posibles de integrar en un mismo chip) que se relaciona directamente con una baja complejidad del circuito.

Como alternativa para soslayar estos inconvenientes y facilitar el aumento del nivel de integración surgieron las familias basadas en transistores de efecto de campo de compuerta aislada (MOS, metal oxide semiconductor) de enriquecimiento. En esta tecnología, los circuitos lógicos pueden ser implementados íntegramente con transistores MOS evitando la presencia de resistencias, en consecuencia, para implementar

una función lógica dada se ocupa menor área de silicio con un proceso de fabricación más simple. Además del hecho que, dado que los transistores MOS son controlados por tensión y no permiten la circulación de corriente en sus entradas, requieren menos potencia para su funcionamiento facilitando el aumento de la escala de integración.

Teniendo en cuenta que los transistores MOS tienen un único tipo de portadores, y en el caso de los transistores con canal tipo N (NMOS) los portadores son electrones que tienen una movilidad considerablemente mayor que la de los huecos responsables de la conducción en los de canal P (PMOS), las primeras familias lógicas de transistores MOS se basaban en transistores de canal tipo N, siendo conocida como familia NMOS.

A fines de los setenta surgieron procesos tecnológicos que permitían integrar transistores canal N y canal P simultáneamente en una misma pastilla. De esta manera surge la tecnología de transistores MOS complementarios (CMOS, complementary MOS). El conjunto de familias CMOS posee ventajas indudables sobre la TTL, y aún sobre la misma NMOS; sobre todo en cuanto al mínimo consumo de potencia haciendo que rápidamente se estableciera como el estándar dando lugar a un aumento vertiginoso de la escala de integración hasta llegar a poner cientos de millones de transistores en un mismo chip.

Las familias TTL no han experimentado cambios importantes en los últimos años, mientras que la permanente evolución de la tecnología CMOS puso a disposición familias CMOS capaces de reemplazar en forma directa los integrados TTL incluso con mejor rendimiento. Las familias TTL siguen estando presentes en el mercado si bien a partir de mediados de los ochenta los circuitos CMOS fueron ganando rápidamente el primer lugar en preferencias.

El importante y permanente desarrollo de la tecnología CMOS llevó a la aparición de circuitos con cada vez mayor velocidad de respuesta y nivel de complejidad, imponiéndose como la preferida en el diseño de microprocesadores y microcontroladores. En los ochenta, la sistematización del diseño de circuitos integrados CMOS abrió la posibilidad de implementar circuitos integrados a medida del usuario surgiendo importantes líneas de trabajo alrededor del desarrollo de circuitos integrados de aplicación específica (ASIC, Application Specific Integrated Circuits), con esta tecnología surgen y se desarrollan los dispositivos de lógica programable en campo, y procesos que permiten integrar un sistema complejo completo dentro de un único chip. Hoy la tecnología CMOS ha reemplazado casi totalmente a las tecnologías basadas en transistores bipolares no sólo en circuitos digitales sino también en circuitos analógicos.

### 3.2 Especificaciones genéricas de una familia lógica

Estas especificaciones son las que en general están incluidas en la hoja de datos correspondiente a cada circuito que brinda el fabricante. Dentro de ellas algunas, como ser tensión de alimentación y niveles de tensión y corriente de entrada y salida, son iguales para todos los circuitos de la familia con independencia de la función lógica que realiza cada uno de ellos, de esta manera se asegura fácil interconexión entre ellos para implementar funciones lógicas más complejas. Hay otras características que dependen de la función que ejecuta el circuito, por ejemplo el consumo de potencia y los tiempos de retardo, propagación y conmutación, y en consecuencia sus valores y características pueden diferir de un integrante a otro.

#### Tensión de alimentación.

Los circuitos pertenecientes a una familia comparten el mismo rango permitido de tensiones de alimentación. Independientemente de la amplitud del rango permitido, la simplicidad y seguridad de la interconexión se mantiene si todos los circuitos interconectados están conectados a la misma alimentación.

#### Niveles de tensión y margen de ruido

El fabricante garantiza un nivel de tensión mínimo ( $V_{IH}$ ) que aplicado a una entrada el circuito interpreta como un estado alto (en lógica positiva 1 lógico o "1"), y un nivel máximo de tensión ( $V_{IL}$ ) que interpreta como estado bajo (en lógica positiva 0 lógico o "0").

$V_{IL}$ : Máxima tensión de entrada que se interpreta como estado bajo

$V_{IH}$ : Mínima tensión de entrada que se interpreta como estado alto

Los valores de tensión que el circuito presenta a la salida para los estados alto ("1") y bajo ("0") dependen de la familia y del estado de carga en que se encuentre dicha salida. El fabricante garantiza entonces un entorno de valores de tensión para cada estado, siempre y cuando se respeten las restricciones establecidas para las corrientes requeridas o entregadas en la salida. Los valores que limitan estos entornos son:

**V<sub>OL</sub>**: Máxima tensión de salida que se garantiza para el estado alto

**V<sub>OH</sub>**: Mínima tensión de salida que se garantiza para el estado alto

Cuando la salida se encuentra en un nivel alto es el circuito lógico el que entrega potencia (corriente saliente) mientras que cuando la salida está en un nivel bajo la circulación de corriente es hacia el interior del chip (figura 3-1).

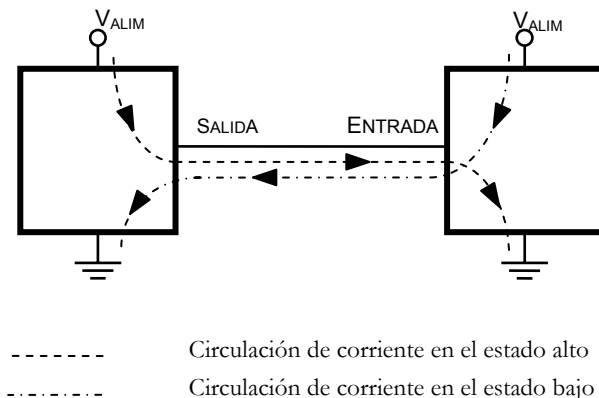


FIGURA 3-1: SENTIDOS DE CIRCULACIÓN DE CORRIENTE

El fabricante estipula valores máximos para estas corrientes que aseguran el funcionamiento dentro de las especificaciones.

**I<sub>OL</sub>**: Máxima corriente que puede tomar la salida manteniendo el estado bajo igual o menor a V<sub>OL</sub>.

**I<sub>OH</sub>**: Máxima corriente que puede entregar la salida manteniendo el estado alto mayor o igual a V<sub>OH</sub>.

En la figura 3-2 se muestra un diagrama de tensiones de entrada y salida. Las áreas rayadas indican los intervalos de tensiones válidas, tanto de entrada como de salida.

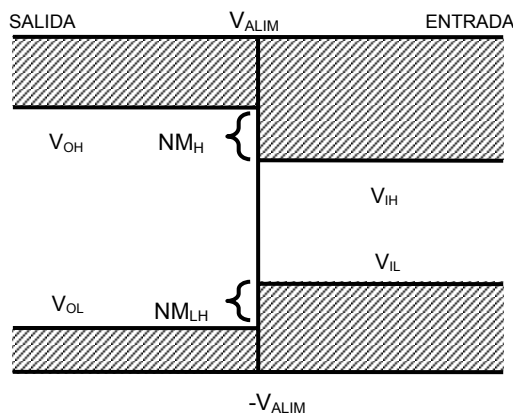


FIGURA 3-2: MARGEN DE RUIDO

A fin de generar un margen de seguridad que permita interconexiones seguras entre circuitos de una misma familia, los rangos de tensión de salida son menores que los de entrada. La diferencia entre los niveles de salida y entrada, alta y baja respectivamente, definen un margen de seguridad para cada uno de los estados de salida posibles que identifica al máximo valor de ruido que puede afectar a una señal de salida sin que exista la posibilidad de que la información sea malinterpretada en las entradas conectadas a ella. En condiciones ideales estos márgenes deberían ser iguales entre sí y cercanos a la mitad de la tensión de alimentación, en la práctica esta condición es difícil de cumplir. Por esta causa, el menor de ambos márgenes define el **margen de ruido (NM)** que identifica a la familia.

**Corrientes máximas de entrada. Capacidad de carga en la salida.**

El requerimiento de potencia a la salida de un circuito lógico depende del estado de esa salida y de la carga conectada. Como ya se dijo, el fabricante estipula valores máximos para estas corrientes que aseguran el funcionamiento dentro de las especificaciones: **I<sub>OL</sub>** e **I<sub>OH</sub>**.

También asegura los valores máximos de corriente que puede circular por cada entrada en cada uno de los posibles estados (ver figura 3.1). Un nivel bajo en una entrada puede provocar una circulación de corriente saliente por esa entrada, mientras que un nivel alto en la entrada debe satisfacer el requerimiento de potencia de la misma. En forma genérica estos valores se identifican en las peores condiciones por:

**I<sub>IL</sub>**: valor máximo de corriente saliente por la entrada en estado bajo.

**I<sub>IH</sub>**: valor máximo de corriente que requiere la entrada en estado alto

Estas corrientes, tanto en la salida como la entrada, se consideran por convención general positivas cuando son entrantes al circuito y negativas cuando son salientes. Teniendo en cuenta esta convención y que la carga del circuito puede ser un miembro de la misma familia lógica se cumplen las siguientes relaciones:

$$|I_{IL}| \leq I_{OL} \qquad I_{IH} \leq |I_{OH}|$$

La cantidad máxima de entradas que pueden conectarse a una misma salida en cada posible estado se determina realizando la relación entre estas corrientes. En el estado bajo corresponde efectuar el cociente  $I_{OL} / |I_{IL}|$ , mientras que en el estado alto corresponde  $|I_{OH}| / I_{IH}$ . El menor de estos cocientes determina la máxima cantidad de entradas de circuitos de la familia que puede conectarse a una misma salida. Este valor se identifica como capacidad de carga, “cargabilidad” de salida o “fan-out”.

Todos estos valores dependen de la tecnología de implementación de la familia y son brindados por los fabricantes en las hojas de datos.

### Retardo de propagación

Se define como retardo de propagación o tiempo de retardo el lapso que transcurre entre el instante en que la entrada conmutando alcanza el 50% del cambio total y el momento en que la salida alcanzó el 50% del cambio correspondiente tal como se ejemplifica en la figura 3-3

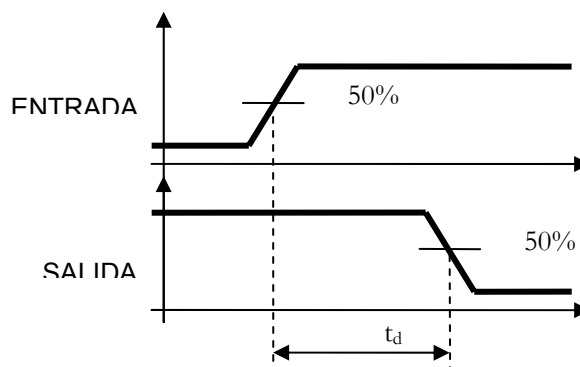


FIGURA 3-3: DIAGRAMA TEMPORAL

El retardo de propagación depende de la complejidad de la función que ejecute el circuito analizado. Para realizar comparaciones de velocidad de funcionamiento de distintas familias se toma como referencia el retardo correspondiente a la compuerta más simple, o sea la compuerta inversora.

### Consumo de potencia

En un circuito lógico deben diferenciarse dos tipos de consumo de potencia: el estático y el dinámico. La potencia estática es la que el circuito disipa mientras permanece en un estado estable, y es muy dependiente del estado de sus entradas y salidas, fundamentalmente de estas últimas ya que las corrientes de entrada son, en general, mucho menores. Se define la potencia media estática consumida como el valor promedio de potencia consumida teniendo en cuenta ambos estados, o sea se toma la semisuma entre la corriente que consume cuando todas las salidas están en nivel alto y la corriente que consume cuando todas las salidas están en nivel bajo, tal como se indica en la expresión siguiente, en la cual  $I_{CCH}$  es la corriente que el circuito toma de la fuente de alimentación estando todas las salidas en estado alto e  $I_{CCL}$  la correspondiente para el estado bajo:

$$P = V_{ALIM} \frac{I_{CCH} + I_{CCL}}{2}$$

El consumo dinámico está relacionado con los transitorios que se producen durante la conmutación entre estados, tiene en cuenta las corrientes que circulan a través del circuito en los instantes de conmutación. Principalmente es atribuida a las cargas de condensadores y a los caminos de corriente que transitoriamente se cierran a través de la alimentación, en consecuencia es proporcional a la frecuencia de conmutación, o sea que a mayor cantidad de conmutaciones mayor potencia dinámica consumida.

### Producto retardo - potencia

El tiempo de retardo está directamente relacionado con la velocidad de almacenamiento de una determinada cantidad de energía en las capacidades de entrada. Cuanto más rápida es la transferencia de energía, mayor es la potencia en juego y menor el tiempo de propagación.

Se define el producto retardo – potencia (PDP, power-delay product) como el producto del retardo de propagación y la potencia consumida definidos en los ítems anteriores, o sea es la energía consumida por la puerta en cada conmutación. Se utiliza como métrica de calidad y es indicativo del estado de avance tecnológico de una familia. Habitualmente se lo utiliza como factor de comparación entre familias o bien entre distintas versiones de una misma familia, ya que todo el esfuerzo y la inversión de la industria van encaminados a disminuir el valor de este parámetro.

## 3.3 Familias Lógicas con Transistores Bipolares

### 3.3.1 Las familias TTL. Características circuitales. Parámetros característicos.

Dentro de las familias que utilizan como elementos activos los transistores bipolares, el estándar es la lógica de transistor-transistor (TTL) introducida en 1962. La familia original con el correr del tiempo se amplió a un conjunto de familias lógicas que, si bien tienen diferencias en cuanto a velocidad, consumo de energía y costo, son todas compatibles entre sí; es decir que en un mismo sistema digital pueden utilizarse componentes de varias familias TTL sin problemas de interconexión entre ellos. Fue la más popular hasta la década de los '80

El consumo relativamente alto de los circuitos con transistores bipolares limitó el nivel de integración (cantidad de transistores que pueden integrarse de manera fiable en un mismo chip) y, en consecuencia, la complejidad del circuito. Su nivel de integración es medio (menos de 10000 transistores por chip). Los integrados de esta familia se identifican con un código de 4 ó 5 cifras que comienza con el número 74 para la serie de especificaciones estándares o comerciales (p. ej. 7402, 74152) o bien con el número 54 para la serie de especificaciones militares (p. ej. 5470, 54107). Estas dos líneas difieren fundamentalmente en el rango de temperaturas de funcionamiento, de 0 a 70 °C para la comercial y de - 55 a 125 °C para la militar, en el material de encapsulado y, consecuentemente, en el costo. Las restantes cifras del código identifican la función lógica y la distribución de las patas del circuito integrado en el encapsulado. Toda la información necesaria para su utilización está consignada en las hojas de datos que provee el fabricante.

Los circuitos están diseñados para que los transistores conmuten entre corte y saturación para una tensión de alimentación nominal de cinco voltios con tolerancia del 5% ( $V_{ALIMTTL} = 5V \pm 0,25 V$ ). La saturación de los mismos está asegurada con la entrada correspondiente con una tensión no inferior a 2V, mientras que el corte se asegura con una tensión en la entrada no mayor a 0,8V.

A continuación se muestran las topologías circuitales básicas de esta tecnología, la compuerta NOT (inversor) y la compuerta NAND, mediante circuitos simplificados que las representan adecuadamente y permiten analizar su funcionamiento. Todos los otros circuitos se obtienen combinando estas topologías, por ejemplo: una compuerta AND se obtiene negando la salida de una compuerta NAND, una compuerta OR se obtiene negando las entradas de una NAND o una compuerta NOR negando las entradas de una AND.

### Inversor TTL

El circuito básico implementado en tecnología TTL es el inversor. Su topología puede verse en la figura 3-4. La resistencias del circuito tienen los valores adecuados para que los transistores en conducción permanezcan saturados para una tensión de alimentación entre  $5V \pm 0,25 V$ .

Con la entrada (e) en un nivel bajo (tensión positiva contra masa no mayor a 0,8V), el transistor  $Q_1$  tiene la juntura B-E polarizada directamente y está en condiciones de conducir. La conexión del colector de  $Q_1$  a la base de  $Q_2$  no permite la circulación de corriente, a excepción de alguna corriente de fuga que circule por la base de  $Q_2$ , forzando la saturación de  $Q_1$  y el corte de  $Q_2$ . El corte de  $Q_2$  provoca el corte de  $Q_4$  aislando la

salida (**s**) de masa. Al mismo tiempo habilita la conducción de  $Q_3$  y del diodo D ligando la salida a  $V_{CC}$  a través de un camino de baja impedancia.

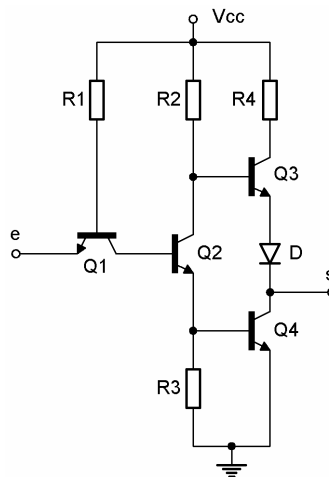


FIGURA 3-4: CIRCUITO INVERSOR TTL

Cuando se conecta una carga a la salida en estado alto el circuito está en condiciones de entregar potencia a la misma. Debido a la caída de tensión en  $R_4$  (valor aproximado de  $180\Omega$ ), la caída de tensión entre colector y emisor de  $Q_3$  y en bornes del diodo D, el nivel alto de tensión de salida se asegura en  $2,7V$  para una corriente máxima de salida de  $400\mu A$ . Cualquier carga que supere este requerimiento de potencia provocaría un descenso en el nivel de tensión de salida por debajo del valor asegurado, ya que permitiría la conducción de  $Q_3$  en zona activa.

Cualquier valor de tensión en la entrada por encima de  $2V$  eleva el potencial del emisor de  $Q_1$  por encima del potencial de su colector forzando su funcionamiento en modo inverso (emisor funciona como colector y viceversa) y permitiendo la polarización directa de las junturas base – emisor de  $Q_2$  y  $Q_4$ . Estos dos últimos transistores entran en saturación, por lo que la tensión C-E de  $Q_2$  no alcanza a polarizar en directa la juntura base emisor de  $Q_3$  y el diodo D.

El corte de  $Q_3$  aísla la salida de  $V_{CC}$ , mientras que la conducción de  $Q_4$  la conecta a masa a través de un camino de baja impedancia forzando un estado bajo. Si desde el exterior no se fuerza una corriente de colector en  $Q_4$  que le permita conducir en activa, el transistor permanece saturado y la salida permanece en estado bajo (por debajo de los  $0,3V$ ). El circuito está diseñado para que  $Q_4$  permanezca saturado mientras su corriente de colector no supere  $I_{OL}$  y, en consecuencia, la salida del inversor en este estado (tensión colector-emisor de  $Q_4$ ) no supera los  $0,3V$ .

Los circuitos de la familia consumen potencia aún en un estado estable (potencia estática) siendo este consumo prácticamente independiente del estado de la salida. En cada conmutación, como el transistor cortado entra en conducción antes de que el que estaba saturado llegue al corte, los transistores  $Q_3$  y  $Q_4$  conducen simultáneamente por un breve lapso provocando un pico de consumo en la etapa de salida (potencia dinámica).

### Compuerta NAND TTL

Si en el circuito inversor se reemplaza el transistor  $Q_1$  por un transistor multiemisor se puede construir una compuerta NAND de tantas entradas como emisores tenga  $Q_1$ .

En la figura 3-5 se muestra el esquema de un transistor multiemisor. Su fabricación es similar a la de un transistor común, salvo que se difunden varios emisores dentro de la base a fin de disponer de varias junturas B-E en paralelo.

En la figura 3-6 se muestra el circuito esquemático de una compuerta NAND TTL de dos entradas en el cual el transistor de entrada,  $Q_1$ , tiene dos emisores.

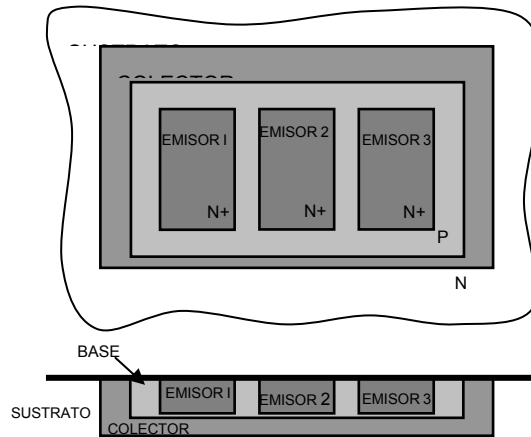


FIGURA 3-5: ESQUEMA TRANSISTOR MULTIEMISOR

Cuando al menos una de sus dos junturas base emisor de  $Q_1$  se polariza directamente  $Q_1$  entra en conducción provocando el corte de  $Q_2$ , y la salida se fuerza a su estado alto. La condición para que la salida del circuito esté en estado bajo es que todas las entradas estén en estado alto. Cuando todas las entradas se encuentran en valor alto,  $Q_1$  conduce en zona inversa (intercambia la función de los terminales de colector y emisor) habilitando la conducción de  $Q_2$  y forzando el estado bajo en la salida del circuito

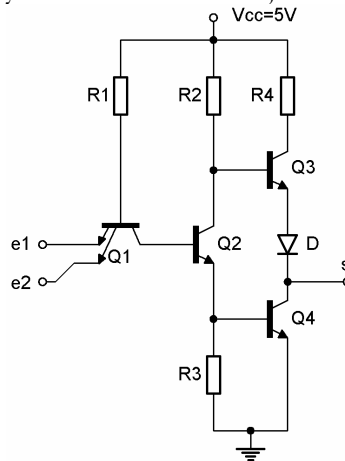


FIGURA 3-6: ESQUEMA CIRCUITAL COMPUERTA TTL NAND DOS ENTRADAS

### Variaciones de la etapa de salida.

En los circuitos analizados hasta ahora la etapa de salida estaba compuesta por dos transistores, uno que conecta la salida con  $V_{CC}$  a través de una resistencia y el otro que la conecta con el potencial de masa. Este tipo de etapa de salida se denomina "Totem Pole" y es la que se utiliza para forzar un estado bajo o alto. Existen tipos de etapa de salida que proveen otras funcionalidades, como ser las salidas "colector abierto" y de alta impedancia. Para algunos circuitos TTL existen versiones que tienen la misma distribución de patas pero distinto código, según la salida de que disponen, por ejemplo "totem-pole" o colector abierto..

**Salida en colector abierto:** En este circuito se suprimen el transistor  $Q_3$ , la resistencia  $R_4$  y el diodo  $D$  en la etapa de salida, quedando el colector de  $Q_4$  abierto tal como se muestra en la figura 3-7.

De este modo la salida sólo es capaz de forzar el estado bajo, ya que cuando  $Q_4$  está cortado la salida queda abierta y para forzar el estado alto se necesita una conexión externa a  $V_{CC}$  que puede realizarse a través de una resistencia denominada de "pull-up".

Esta configuración permite la construcción de "compuertas cableadas" como se indica en la figura 3-8. Si se conectan las salidas de distintas compuertas a una misma resistencia de pull-up, la tensión de la conexión será alta sólo si todas esas salidas están en estado alto, o sea los correspondientes transistores cortados.

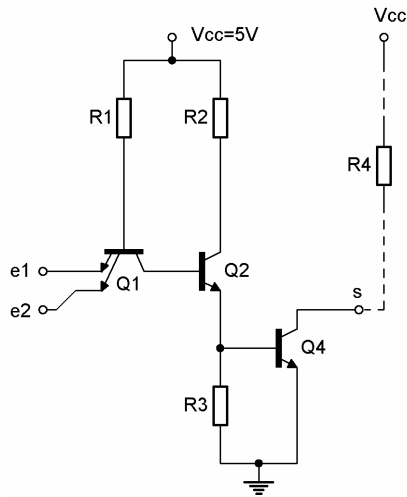


FIGURA 3-7: ESQUEMA CIRCUITAL NAND TTL CON SALIDA EN COLECTOR ABIERTO

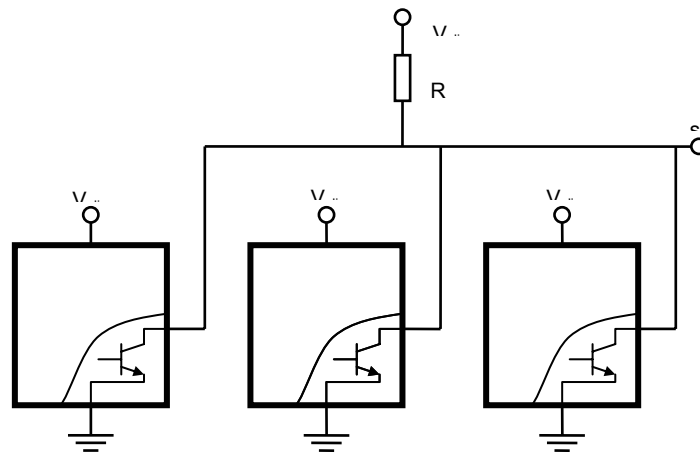


FIGURA 3-8: CONEXIÓN AND CABLEADA

**Salidas de tres estados:** En este tipo de salida, además de los estados ALTO y BAJO se puede establecer un estado de alta impedancia forzando el corte simultáneo de los transistores  $Q_3$  y  $Q_4$  mediante la activación de una entrada de control a tal fin.

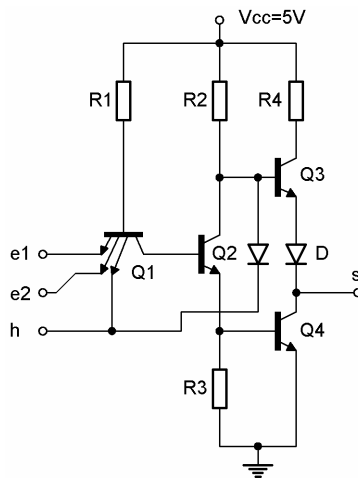


FIGURA 3-9: NAND TTL CON SALIDA DE TRES ESTADOS

En el circuito mostrado en la figura 3-9 la entrada dedicada se identifica con H.



Cuando la entrada H asume un nivel bajo, la salida queda desconectada del circuito lógico interno independientemente de la condición de las otras entradas y permanece en estado de alta impedancia de manera que su nivel de tensión queda determinado por el circuito externo. Este tercer estado permite conectar varias salidas a una misma entrada para alternar el envío de información a la misma desde distintos dispositivos utilizando una única vía o cable (figura 3-10).

Habilitando la salida de un dispositivo por vez mientras los otros permanecen en alta impedancia la conexión realiza el multiplexado de las señales.

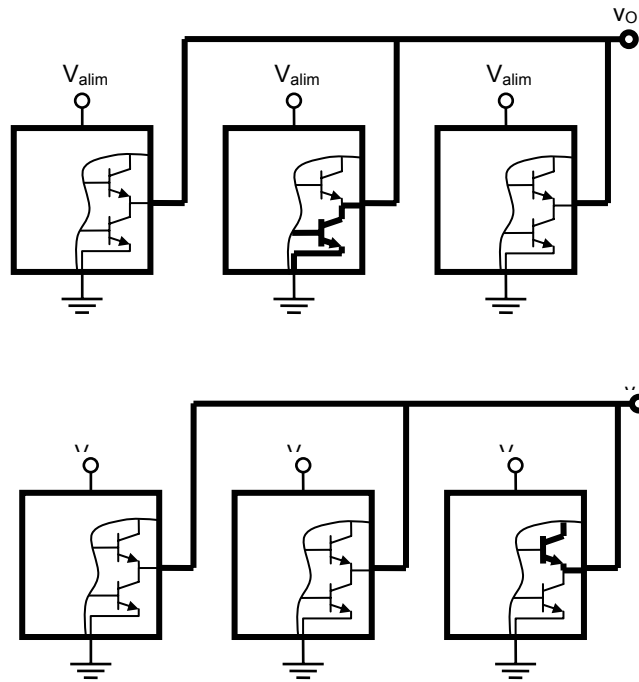


FIGURA 3-10: MULTIPLEXADO DIRECTO DE COMPUERTAS CON SALIDA DE TRES ESTADOS

### Evolución de la familia TTL

A partir de la topología original, con el paso del tiempo fueron apareciendo nuevas versiones de la familia que, manteniendo las características básicas, buscaban mejorar la velocidad o disminuir el consumo. Con pequeñas modificaciones en los circuitos surgió la familia 74L en la que se disminuía el consumo aumentando el valor de todas las resistencias del circuito, pero la disminución de las corrientes provocó una menor velocidad de respuesta, ya que aumenta el tiempo necesario para eliminar el exceso de carga almacenado en la base de los transistores saturados en su transición hacia el corte. Otra variación fue la familia 74H, diseñada para mayor velocidad (los transistores conduciendo en el borde de zona activa) a expensas de un mayor consumo. En general, a menos que haya una variación en la tecnología, la mejora de un parámetro implica la degradación de otro.

Un cambio importante fue el surgimiento de la familia 74S. En ella se incorpora un diodo schottky entre colector y base de los transistores tal como indica la figura 3-11(a). Estos diodos tienen una tensión umbral baja (en el orden de los 0,2V) y su presencia limita la saturación del transistor y disminuye el tiempo necesario para que el transistor alcance el corte. A los transistores que tienen asociados un diodo schottky conectado de esta forma se los identifica como “transistores Schottky”, y su símbolo se muestra en la figura 3-11(b).

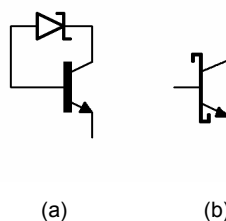


FIGURA 3-11: TRANSISTOR SCHOTTKY

Aplicando esta tecnología a los circuitos de la familia 74L se generó la familia 74LS. Esta última mantiene el nivel de consumo de la familia 74L pero disminuye los tiempos de retardo a valores similares a los de la familia original, convirtiéndose en una de las familias más populares dentro de las TTL.

Todas las familias aseguran la interconexión y mantienen las características de entrada y salida en cuanto a niveles de tensión y carga. Asimismo, a igual código de identificación del circuito corresponde igual función e igual distribución de patas. Es decir que, por ejemplo, los integrados 7420, 74L20, 74H20, 74S20 y 74LS20 son directamente intercambiables.

### 3.3.2 La familia ECL. Características circuitales. Parámetros característicos.

La familia lógica acoplada por emisor (ECL, emitter coupled logic) es una familia lógica basada en tecnología bipolar que fue desarrollada con el objetivo de obtener circuitos más veloces. A fin de disminuir los retardos de conmutación los transistores alternan su estado entre corte y conducción en zona activa.

El circuito básico que dio origen a la familia lógica ECL fue propuesto en 1956, y los primeros circuitos integrados construidos con esta tecnología aparecen en el año 1962. Los retardos de propagación de estos circuitos estaban originalmente alrededor de los 6 ns, con la evolución tecnológica se lograron retardos diez veces menores.

En la figura 3-12 se muestra el circuito simplificado de un inversor perteneciente a esta familia. La etapa de entrada es un par diferencial que funciona como comparador. Una de sus entradas (en la figura la base de  $Q_2$ ) está conectada a una tensión constante determinada por la tensión presente en el emisor de  $Q_4$ , el cual está polarizado de manera que su tensión de emisor esté fija a un valor intermedio entre el nivel mínimo de estado alto y el máximo de estado bajo. La otra entrada es la entrada externa del circuito. En la salida inversora del diferencial está conectado un transistor en conexión colector común que establece los niveles apropiados de tensión a la salida.

Los transistores del diferencial conmutan su estado entre conducción en activa y corte de acuerdo a los niveles de tensión de la entrada. El consumo es prácticamente constante sin presentar picos durante las conmutaciones, por lo cual, comparado con la familia TTL, el ruido eléctrico generado es mucho menor.

El circuito práctico presenta otra etapa colector común conectada a la salida no inversora del diferencial, de manera de disponer de dos salidas complementarias, o sea el circuito funciona como inversor y como no inversor o "buffer". La impedancia de salida del circuito en ambas salidas es baja mientras que la entrada presenta una impedancia muy alta por lo que el fan-out de esta familia es muy alto.

Los circuitos están diseñados para una alimentación de -5,2 V contra masa. Los valores típicos para los niveles alto y bajo son  $V_H = -0,75V$  y  $V_L = -1,55V$  respectivamente. Las distintas funciones lógicas se obtienen adicionando transistores en paralelo con el transistor de entrada.

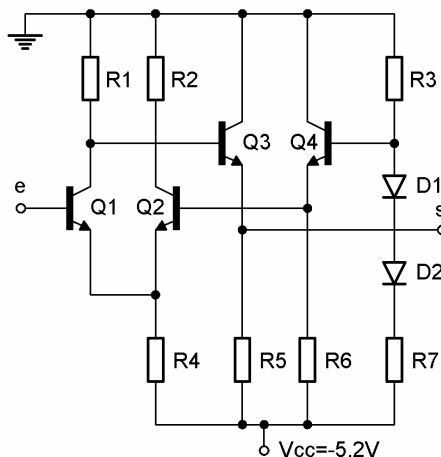


FIGURA 3-12: INVERSOR ECL

Las principales desventajas de esta familia son el elevado consumo comparado con las otras familias lógicas, y el reducido margen de ruido debido a que la pequeña diferencia entre nivel alto y nivel bajo de tensión a la salida, aproximadamente 800 mV.

## 3.4 Familias con transistores MOS.

### 3.4.1 Evolución de las Familias MOS. Las familias CMOS.

La tecnología existente en la época en que surgieron en el mercado las primeras familias lógicas sólo permitía implementar sobre un sustrato transistores MOS de único tipo, o sea canal N o canal P. Debido a la mayor movilidad de los portadores (electrones) en los dispositivos de canal N se desarrolló una familia lógica de estos dispositivos (familia NMOS). El circuito más sencillo implementado en esta familia es el inversor que se muestra en la figura 3-13 en sus dos representaciones más habituales.

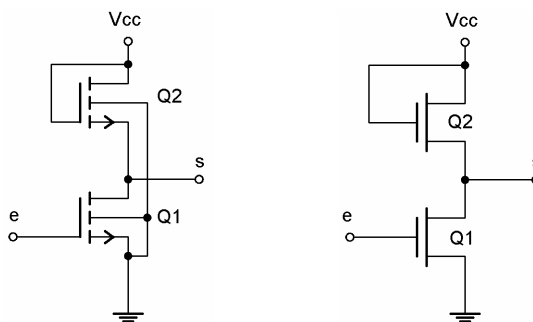


FIGURA 3-13: INVERSOR NMOS

El transistor  $Q_2$  está permanentemente en conducción en zona de corriente constante debido a la polarización que fuerza que el drenaje y la puerta estén al mismo potencial y funciona como carga para el transistor  $Q_1$ . La fuente de  $Q_2$  está conectada al drenaje de  $Q_1$ . Una tensión de entrada baja (próxima a 0V) provoca el corte del transistor inferior y mantiene la salida al estado alto, mientras que una tensión de entrada alta provoca la conducción de  $Q_1$  y mantiene la salida en estado bajo.

Este circuito es notablemente más sencillo que su equivalente en tecnología TTL y si bien mantiene el consumo permanente de potencia, el consumo es menor dado que con  $Q_1$  cortado no hay conducción entre masa y  $V_{CC}$  y el consumo de potencia se produce cuando la salida está en bajo y en las conmutaciones. Los transistores MOS pueden conectarse como resistencias y en consecuencia los circuitos implementados con transistores MOS ocupan menor área de silicio. Este hecho, junto con la disminución de la potencia consumida permitió aumentar en forma considerable los niveles de integración, y dio lugar al desarrollo de los primeros microprocesadores.

Con el desarrollo de la tecnología CMOS, que permite integrar sobre un mismo sustrato transistores MOS de enriquecimiento de ambos canales, NMOS y PMOS, se anuló el consumo de potencia estática y de esta manera se produjo un importante aumento del nivel de integración.

La familia CMOS más difundida es la serie 4000. Los integrados de esta familia se identifican con un código que comienza con el número 4 (salvo los fabricados por la empresa Motorola cuyo código comienza con 14) mientras que las restantes 3 ó 4 cifras identifican la función lógica y la distribución de patas, información que el fabricante consigna en las hojas de datos y que no guarda ninguna relación con los códigos de la familia TTL. Ejemplos de códigos de circuitos CMOS son los integrados 4001, 40106, 4541, etc.

Otra familia CMOS de notable crecimiento en el mercado es la HC, que fue desarrollada como reemplazo directo de los circuitos TTL, por lo que su codificación es la de aquella familia intercalando las letras HC en el código. De este modo, el circuito 74HC02 es un reemplazo en tecnología CMOS del TTL 7402, manteniendo la misma función lógica y distribución de patas del TTL original (y sin relación alguna con el CMOS 4002)

A partir de su surgimiento, la tecnología CMOS fue desplazando a la TTL de manera tal que la mayor parte de la inversión industrial se volcó en esta tecnología, y en consecuencia su avance ha sido incesante. En la actualidad, existen variantes de familias CMOS con características optimizadas para diferentes aplicaciones si bien todas ellas son compatibles y mantienen las características que hacen a una familia.

### 3.4.2. Circuitos y Parámetros Característicos Básicos de la Familia CMOS

A continuación se describen las topologías circuitales básicas de las compuertas (NOT, NAND, NOR) de esta tecnología. Los circuitos CMOS se implementan con una red de transistores PMOS que conecta la salida a la tensión más alta del circuito a fin de aprovechar su capacidad de conducir sin degradación los niveles altos y una red de transistores NMOS que la conecta a la tensión más baja del circuito aprovechando su capacidad de

no degradar los niveles bajos. Los circuitos que implementan otras funciones lógicas se obtienen combinando estas topologías básicas.

La etapa de salida de los circuitos que se presentan permiten forzar un estado bajo o alto, o sea que tiene un funcionamiento equivalente a la tótem pole presentada con TTL. También se implementan circuitos con salida de alta impedancia para facilitar la conexión de varias salidas a una entrada o de drenaje abierto que permiten implementar una conexión AND cableada.

### Inversor CMOS

La topología de este circuito puede verse en la figura 3-14. En este circuito, una tensión en la entrada ( $e$ ) de valor menor que  $V_{TN}$  provoca el corte del transistor canal N y la conducción del transistor canal P, generando un camino de baja impedancia entre la alimentación y la salida. Una tensión de entrada de valor mayor a  $V_{DD} - |V_{TP}|$  produce el efecto inverso (NMOS conduce, PMOS cortado) y une la salida a masa a través de un camino de baja impedancia.

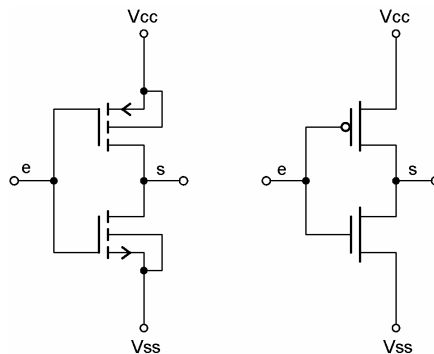


FIGURA 3-14: INVERSOR CMOS

Como puede observarse, en cualquiera de los estados estables no hay ligazón eléctrica entre masa y  $V_{DD}$ , o sea que en ausencia de carga el consumo de potencia se produce únicamente durante la conmutación. Si la carga conectada a la salida es la entrada de otro circuito de la misma familia, el circuito ve como carga la capacidad de puerta de algún transistor MOS, y una vez cargadas las capacidades involucradas no habrá más circulación de corriente por el circuito. El consumo de potencia estática (potencia consumida en un estado estable) es prácticamente nulo, o sea que estos circuitos disipan potencia únicamente durante los cambios de nivel de la salida.

### Compuertas CMOS NOR y NAND

En la figura 3-15 se muestran los esquemas circuitales de una compuerta NAND y una compuerta NOR de dos entradas implementadas con tecnología CMOS. El diseño se basa en colocar un transistor N por cada señal que deba llevar la salida a 0 y un transistor P por cada señal que deba llevar la salida a 1. Luego los transistores se conectan en serie cuando se requiere de la presencia de las señales en forma simultánea para obtener el valor de salida deseado (producto lógico), o bien en paralelo si cualquiera de las señales en forma indistinta puede generar la salida correspondiente (suma lógica).

En el caso de la compuerta NAND, un nivel bajo en cualquiera de las entradas debe colocar un nivel alto a la salida, por lo que los PMOS aparecen en paralelo conectando la salida a la tensión de alimentación, mientras que los NMOS se conectan en serie ya que la salida está en un nivel bajo si y solo si todas las entradas están en alto.

La compuerta NOR se implementa con un circuito donde se intercambian las conexiones de los transistores NMOS y PMOS. La salida debe tomar un nivel alto únicamente cuando las entradas están en nivel bajo, en consecuencia dos PMOS en serie conectan la salida a  $V_{DD}$ , mientras que los NMOS aparecen en paralelo conectando la salida a masa.

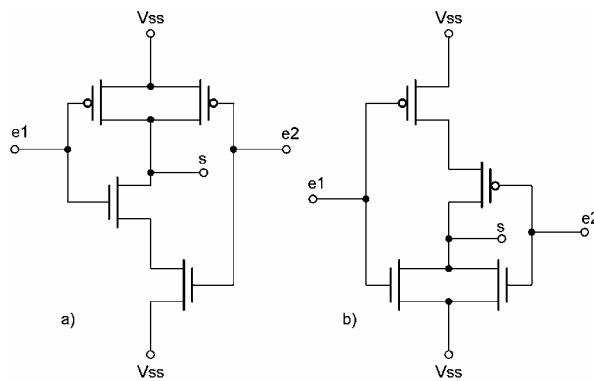


FIGURA 3-15: ESQUEMA CIRCUITAL COMPUERTAS CMOS  
 A) NAND DE DOS ENTRADAS B) NOR DE DOS ENTRADAS

### Alimentación CMOS

Los circuitos CMOS tienen un rango amplio de tensiones de alimentación, que en algunos casos llega hasta  $\pm 30V$ . Los límites quedan determinados por las tensiones de ruptura directamente ligadas a las características de la tecnología del aislante (dióxido de silicio) utilizado en la compuerta.

### 3.5 Comparación TTL - CMOS

En la tabla 3-1 se dan los valores de los parámetros característicos de dos circuitos integrados que implementan la misma función lógica en las familias TTL (74LS00) y CMOS (CD4011) cuando ambos son alimentados con 5V que es el estándar para la familia TTL, y está dentro del rango de alimentación de la familia CMOS 4000 ( $V_{ALIM}$  entre 3 y 18V). Ambos chips incluyen cuatros compuertas NAND de dos entradas.

FAMILIA	TTL	CMOS
DENOMINACIÓN COMERCIAL	74LS00	CD4011
$V_{IH}$ (V)	2	3,5
$V_{IL}$ (V)	0,8	1,5
$V_{OH}$ (V)	2,7	4,95
$V_{OL}$ (V)	0,5	0,05
$I_{IH}$ (mA)	0,02	0,0001
$I_{IL}$ (mA)	-0,36	-0,0001
$I_{OH}$ (mA)	-0,4	-0,51
$I_{OL}$ (mA)	8	0,51
P (mW)	15	1,25
$T_d$ (ns)	10	250

TABLA 3-1: PARÁMETROS CARACTERÍSTICOS FAMILIA TTL 74LS00 Y CMOS CD4011